

整数演算器のためのセルライブラリの最適化

Optimization of library for integer arithmetic unit

電子・光システム工学コース 橘昌良研究室 1125076 乃一 彰宏

1. 目的

本研究は、駆動力を変えられる整数乗算器用のセルライブラリを設計し、乗算器の最適化に必要な測定データを得ることが目的である。

2. FA の構成

乗算器の部分積加算部に使用する FA である。この FA の構成は、基本ゲートのみ、複合ゲート、EXOR とトランスミッションゲートの 3 通り設計した。

セルの大きさは、橘研究室で設計したセルライブラリと高さを同じにして、配置配線ツールで使いやすくする。また、FA の出力に BUF をつけて駆動力を変更できるようにした。

3.部分積加算回路について

部分積加算回路には Wallace ツリーを使用する。図 3 は、18 ビットの乗算器の Wallace ツリーの例である。このツリーは 16 個の 18 ビット CSA で構成されている。図 3 は、このツリーを規則的配置にしたものである。

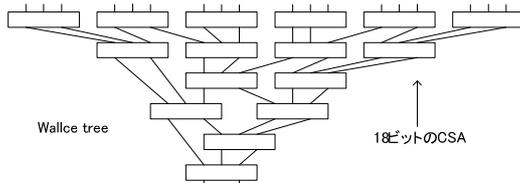


図 1 : Wallace ツリー

図 3 から段間の配線長が最大になるものにより遅延時間が決まる。したがって、配線長にあわせて BUF を挿入することに最適化することができる。(図 2)

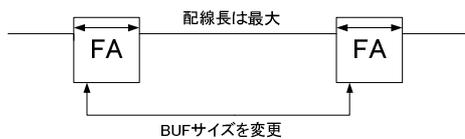


図 2 : 配線長に対応して BUF サイズを変更

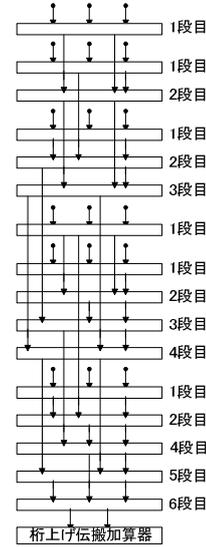


図 3 : 規則的配置の Wallace ツリーの例

段間の配線には横方向の配線も含まれる為、駆動力を上げることにより、セルの幅が変動し配線長が大きくなる可能性があるが、極端にセルの幅が大きくない限り影響はないはずである。(図 4)

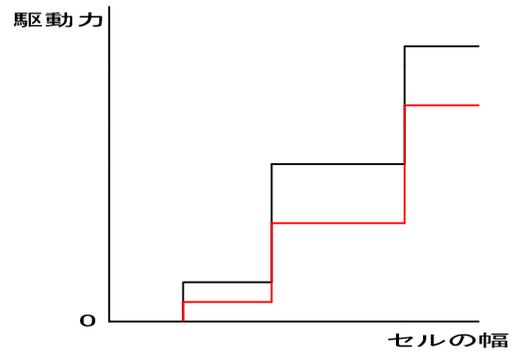


図 4 : セル幅と駆動力の関係のグラフ

4.まとめ

今回の研究では、配線により Wallace ツリーの高さが変動しないと仮定しているので、それらを考慮する方法を考えたいと思う。