

# 低消費電力ライブラリの設計及び評価

電子・光システム工学科 橋研究室

1110185

常石 佳奈

## 1. はじめに

ROHM0.18 $\mu\text{m}$  プロセス用デザインルールに基づき、自動配置配線ツールを用いる際に使用するライブラリを目的としている。図1に示す複合ゲートを設計し、その特性を評価する。以下では、複合ゲート OAI21 を例に説明する。

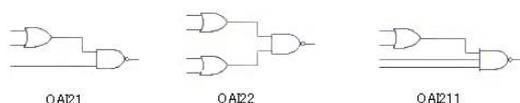


図1. 設計した複合ゲート

## 2. 複合ゲートの構成

東京大学大規模集積システム設計教育センター (VDEC) の ROHM0.18 $\mu\text{m}$ , 1.8V 系プロセスを用いて、全てのセルライブラリでグリッドラインを統一した。pMOS と nMOS のトランジスタ幅比 4 $\mu\text{m}$ :2 $\mu\text{m}$  を 2:1 とし、1.5:1, 1:1 を設計した。

## 3. 遅延時間

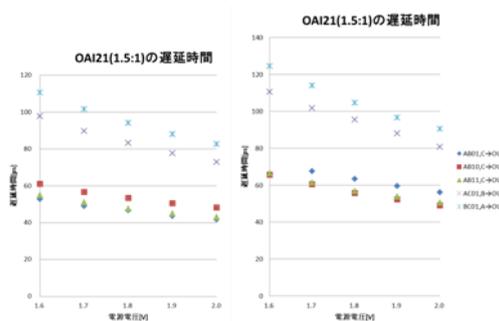
セル単体で遅延時間を測定することは困難であるので、セルを直列に並べ数十段のリングオシレータを設計した。パスごとに遅延時間は異なるので、トータルで 54 個リングオシレータを設計した。リングオシレータの発振周波数は試作チップで測定しやすいとされる 100MHz とした。リングオシレータからセル 1 個あたりの遅延時間を算出する式は(1)を使用した。

$$t_{\text{one}} = \frac{1/f_{\text{ring}} - 2t_{\text{nand}}}{2(n_{\text{total}} - 1)} \quad (1)$$

$t_{\text{one}}$  : セル 1 個あたりの遅延時間  
 $f_{\text{ring}}$  : リングオシレータの周波数  
 $t_{\text{nand}}$  : nand の遅延時間  
 $n_{\text{total}}$  : リングオシレータの段数

試作チップの動作電圧は 1.8V であり範囲は $\pm 10\%$ である 1.6~2.0V の間を 0.1V ごとに変化させた。図3のようにシミュレーション値と実測値では実測の遅延時間が大きく

なる結果が得られた。



(a) シミュレーション値 (b) 実測値

図3. OAI21(1.5:1)の遅延時間

## 4. 消費電力

セル単体で出力論理が切り替わるときの電力をシミュレーションした。消費電力は pMOS トランジスタ幅の減少にほぼ比例して、消費電力が大きい順に 2:1, 1.5:1, 1:1 となる結果が得られた。図に電源電圧 1.8V のときのシミュレーション結果を示す。

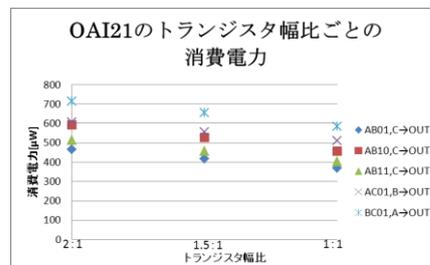


図4. OAI21 の消費電力

## 5. まとめ

本研究では、トランジスタ幅比 2:1, 1.5:1, 1:1 複合ゲートを設計した。遅延時間はシミュレーション値と測定値を比較した。電力はセル単体をシミュレーションした。入出力パスの違いで遅延時間や消費電力は異なる結果が得られた。

遅延時間はパスに依存はするが、本研究の目的であった低消費電力を考慮し設計するとき、既存ライブラリのセル 2:1 より 1.5:1 は最適であると考えられる。