

VHDL による除算および平方根を求める回路の設計

電子・光システム工学科 橋研究室
1110214 矢野 達彦

1. はじめに

本研究では VHDL を用いて除算(X/Y)および平方根(\sqrt{X})を求める回路の設計を行った。本研究を通じて演算器の基礎、VHDL によるデジタル回路の設計の手法を学ぶことを目的とする。

2. 仕様

2進小数の演算を行う回路を設計するため、入力条件は $X < 1$ 、 $Y < 1$ 、 $X < Y$ とする。 $X > Y$ の場合、答が 1 以上になり演算が行えないので Y の数値を決定できないように設計する。表示は LCD に表示できる限界ビット数である 32 ビット、入力を行うことができるのは 1 の位と小数点を除いた 30 ビット。小数点第 1 位から小数点第 30 位までの入力を 4 つの押しボタンスイッチを用いて行う。SW A を押すと入力を行う位を左に移動させ、SW C で右に移動させる。SW B で数値の変更を行い、SW D で数値を決定する。SW は左から A、B、C、D の順で設計した。また、入力、演算は 2 進数で行い、出力は 10 進数で行う。10 進数に変換したときに小数点第 30 位まで正確な数値が出力されるように演算を小数点第 102 位まで行う。除算と開平の選択はトグルスイッチで行う。on にすると開平、off にすると除算を行うように設計。7 セグメントディスプレイに入力を行う位や LCD に表示している数値の変数、行う演算の情報を表示する。

3. 回路構成

スイッチからの入力により演算を行う数値を決める入力部、入力された数値の演算を行う演算部、演算結果を 10 進数に変換する変換部、数値を LCD に表示する出力部で構成した。図 1 に回路構成を示す。

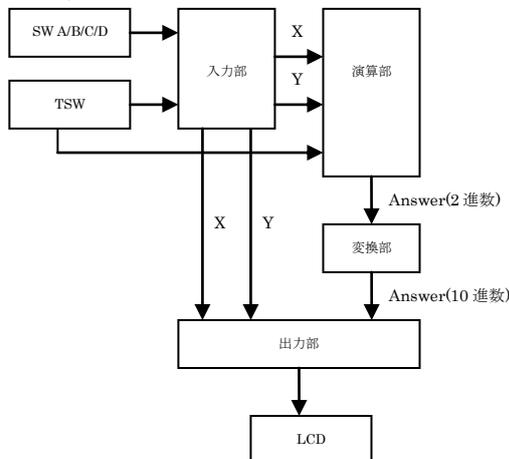


図 1 回路構成のブロック図

4. 評価

動作の確認は ALTERA 社製の FPGA ボードである DE2 を使った。DE2 の外観を図 2 に、動作の様子を図 3 に示す。図 3 は $\sqrt{0.5}$ の演算を行い結果を出力したものである。動作確認を行い、仕様通りの結果を得ることができた。



図 2 DE2 の外観



図 3 動作確認の様子

5. まとめ

本研究を通じて演算器や VHDL を用いた設計の手法を学び理解を深めることができた。入力条件をなくす、10 進数で入力を行えるようにすることが今後の課題である。