

要 旨

データ駆動/制御駆動プロセッサの アーキテクチャ評価用 FPGA プラットフォームの検討

大磯 元

クロック周波数の向上による LSI の処理性能向上は、消費電力の増加により限界が見え始めた。ここで、さらなる性能向上のために、効率的な並列処理が求められている。データ駆動プロセッサは、プログラムに内在するデータ水準の並列性を抽出できるため、超並列を可能とするアーキテクチャである [1]。命令レベルの並列性を軸とした場合、原理的に逐次的な処理を行うノイマン型（制御駆動）プロセッサ CDP とデータ駆動プロセッサ DDP は両端に位置する。駆動原理の異なる 2 つのアーキテクチャを比較し、各種トレードオフを見極められれば、より性能面で優れたアーキテクチャの考案や LSI 設計時の最適化の方針を見い出せる可能性がある。

異なるアーキテクチャを比較する際には、データ幅や命令メモリ容量等の共通的なパラメータの変更に対して柔軟に対応できる必要がある。また、手軽に短時間で比較できることも重要である。本研究では、簡単に回路を書き換えられる高速 FPGA を活用したプラットフォームを検討した。評価対象として、PicoProcessor(pP)[2] と、セルフタイム型パイプライン (STP)[1] を用いて構成した DDP を実装した。実装上の工夫として、マクロ設定ファイルを編集するだけでデータ幅などのフィールド長の変更や、要素回路の追加・削除が行えるようにした。実装した各プロセッサの電力当たりの処理性能を比較した結果、データ駆動プロセッサが 1.27 倍優れていることを確認した。

キーワード データ駆動プロセッサ, 制御駆動プロセッサ, セルフタイム型パイプライン

Abstract

A Study of FPGA Platform for Architecture Evaluation of a Data-Driven/Control-Driven Processor

Hajime OOISO

To improve the performance of LSI 's only by increasing clock frequency cannot meet to market requirements due to increasing power consumption. Now, in order to further improve the processing performance, LSI must introduce parallel processing scheme achieving higher power-performance efficiency. Data-driven processor (DDP) can extract data parallelism inherent in the program and execute it in parallel[1]. In terms of instruction execution control scheme, control-driven processor (CDP) and DDP are located both ends. If we can assess the various trade-offs through the comparison of two kinds of architectures, there is potentiality of investigating more excellent performance architecture and more optimal LSI design.

When comparing diverse architectures, flexible modification of common parameters such as data width and instruction memory should be allowed. In addition, it is important to easily evaluate target architectures in a short time. This paper proposes circuit description methods to enable easy modifications of high-speed FPGA platform. A pico-processor (pP)[2] and a simple DDP based on self-timed pipeline (STP) are implemented. In the implementation, by editing the macro configuration file, data field length and width can be changed and the additional circuit can be easily add or remove. As a result, performance-power of the DDP is 1.27 times better than the pP.

key words Data driven processor, Control driven processor, self-timed pipelined