

要 旨

プロセッサ評価用 FPGA プラットフォーム上での FFT の 実装・評価

妻鳥 恵三

昨今、無線通信の高速化・高品質化に伴い、高速フーリエ変換 (FFT) のさらなる高速化が求められている。FFT は、複数のバタフライ演算から構成されており、それぞれ、データが入力されることで処理が可能となる。このバタフライ演算は、並列に処理することが可能であり、並列に処理することで、FFT の高速化が可能である。データ駆動プロセッサは、自然な並列処理が可能であるため、FFT に内在するデータ水準の並列性を抽出することで、高並列処理による高速化が期待できる。FFT はポイント数の増加に比例して、同時実行可能なバタフライ演算が増加する。この時、各バタフライ演算では、オペランドが待合わせることになる。この待合わせは、一般的に、データ駆動プロセッサ内の待合わせ機構 MM(Matching Memory) によって実現される。しかし、演算量が大きくなると、MM の容量を超えてしまうという問題が生じる。このため、待合せデータ数の削減法や MM 溢れの対処法の検討が必要になる。

本研究では、並列処理性能の高いデータ駆動プロセッサに着目し、並列処理をプログラムから回路アーキテクチャに至るまで総合的に捉え、性能を維持しつつ、アーキテクチャ・プログラムの両面からプロセッサのオーバーフローの発生を抑制する手法を提案した。構築した、プロセッサ評価用 FPGA プラットフォームを用いて、提案手法の評価を行った。その結果、提案手法を適用した場合、32%回路規模が増加し、MM 溢れを抑制することができた。

キーワード FFT(Fast Fourier Transform), バタフライ演算, データ駆動プロセッサ

Abstract

Implementation and Estimation of FFT on FPGA Platform for Processor Evaluation

Keizou Mendori

Modern wireless communication requires high-speed fast Fourier transform (FFT) to achieve higher bandwidth and bit-error-ratio. FFT is composed of a number of butterfly computations. Those butterfly computations can be executed in parallel so that FFT can be calculated faster. Since data-driven processor (DDP) naturally performs fine-grain parallelism, it can execute data-parallelism inherent in FFT. N-point FFT involves $N/2$ parallel butterfly computations. In this case, matching memory (MM) for firing control of data-driven execution scheme must have enough capacity to execute $N/2$ butterfly computations in parallel. Under the limited capacity of MM, reduction method of the amount of waiting data packets in MM and evacuation method of overflow data packets from MM should be adopted in DDP to execute large-scale FFT.

This study proposes several methods to avoid overflow of MM in DDP in terms of both program transformation and micro-architecture while keeping data-driven parallel processing. The proposed methods are implemented and evaluated by using our FPGA platform for architectural evaluation. As a result, MM overflow is averted by introducing 32 % additional circuit.

key words FFT , Butterfly computation , Data-Driven Processor