

# 要 旨

## セルフタイム型データ駆動プロセッサの 動的電圧制御法の検討

畠山 博信

近年、組込みシステムの領域において、電力もしくはエネルギー当たりのパフォーマンスを改善することの重要性が益々加速している。最近のマイクロプロセッサにおいて、リーク電力を削減するためにパワーゲーティング (PG) 技術、スイッチング電力を削減するために Dynamic Voltage Scaling (DVS) 技術が利用されている。しかし、実際の電力削減量は、電力削減効果と制御オーバーヘッド (電力・処理性能・面積) との間でトレードオフの関係となる。本論文では、細粒度かつ自律的な電力制御方式により、処理に本質的に必要な電力のみを消費するパイプラインアーキテクチャについて検討する。その実現のために、セルフタイム型パイプライン (STP) は、有効なパイプラインアーキテクチャの1つである。これは、ステージ間でハンドシェイクを行い、転送要求に応じて、有効なデータのみを転送するという動作原理に基づく。結果、スイッチング電力は、パイプラインスループットに比例するため、STP は処理負荷に応じて電力を消費する。例えば、チップ上で様々なプログラムが実行されている状況において、電源電圧を制御するために、チップ内のパワードメイン (例: コア) の電流値をモニタすることで、容易に比例・積分・微分 (PID) 制御を適用することが可能である。

本稿では、65nm, CMOS プロセスを用いて試作された ULP-DDCMP チップに対して、PID 制御によるランタイム DVS の適用について検討する。PID 制御に用いられる目標電圧テーブルは、ULP-DDCMP の実測値により設定を行った。また、PID パラメータの設定は、ステップ応答法を用いて調整した。結果、試行錯誤法と比較し、電源電圧推移時間を約

20%削減することを確認した.

キーワード セルフタイム型パイプライン, Dynamic Voltage Scaling, PID 制御

# Abstract

## A Study on Dynamic Voltage Scaling Scheme for Self-Timed Data Drive Processor

Hironobu Hatakeyama

In recent years, improving the power/energy vs. performance efficiency of microprocessors has been important more and more in both high-performance and embedded computing fields. The modern microprocessors thus introduce the power gating (PG) techniques for leakage power reduction and the dynamic voltage scaling (DVS) techniques for switching power reduction. However, its total amount of power reduction depends on the trade-off between direct power reduction and control overhead of those techniques.

This paper focuses on a pipeline architecture to consume essential power for its pipeline processing by adopting a fine-grain and autonomous power control. To realize this, self-timed pipeline (STP) is one of the suitable circuit architectures because its on-demand transfer control activates pipeline stages only operating valid data to perform handshake between the stages. Therefore, the switching power is proportional to the pipeline throughput so that the STP can adaptively consume electric power along with its processing load by virtue of its local data-transfer control. For instance, the proportional-integral- differential (PID) control method can be easily applied to control voltage scaling by monitoring electric current of a target power domain within a chip even if any program is executed on the chip.

This paper studies on a runtime dynamic voltage scaling scheme based on the PID

control and its application to an ultra-low-power data-driven chip multiprocessor (ULP-DDCMP) chip fabricated by 65 nm CMOS process. In this application, a target voltage table for the PID control is designed based on actual power measurement results of the chip and then each PID coefficient is optimized by using the step-response method. As a result, optimized voltage scaling time to the target voltage can be reduced 20 % compared with the trial-and-error optimization method.

**key words** self-timed pipeline, dynamic voltage scaling, proportional-integral-differential control