

# MOSFET 特性ばらつき測定用 TEG の設計と MOSFET 特性ばらつき評価

橘研究室 1130136 坂東 拓弥

## 1. はじめに

本研究では、MOSFET の特性ばらつきを測定するため、Rohm0.18  $\mu\text{m}$  プロセスで MOSFET ゲートサイズの異なる MOS トランジスタの TEG をレイアウト設計し、VDEC(東京大学大規模集積システム設計教育研究センター)を通してチップの試作を行う。そして、その試作チップを測定し、MOSFET の特性ばらつきを評価する。

## 2. TEG の設計

本研究で設計した TEG は MOSFET の 4 端子にそれぞれ PAD を接続する構成にした。MOSFET のゲートサイズは  $L=180\text{nm}$ ,  $360\text{nm}$ ,  $720\text{nm}$ ,  $1440\text{nm}$  で、それぞれ  $W$  は  $0.5\mu\text{m}$ ,  $1\mu\text{m}$ ,  $2\mu\text{m}$ ,  $4\mu\text{m}$ ,  $8\mu\text{m}$ ,  $16\mu\text{m}$ ,  $24\mu\text{m}$  とした。また、TEG は 2 種類設計した。その TEG は PAD を共有なしの TEG と PAD 共有ありの TEG である。PAD を共有することで面積を縮小できる。PAD 共有の方法を図 1 に示す。

PAD を共有なしの TEG をすべて並べた TEG 群と、PAD 共有ありの TEG をすべて並べた TEG 群の面積を比較すると、PAD を共有することで 27% 縮小することができた。

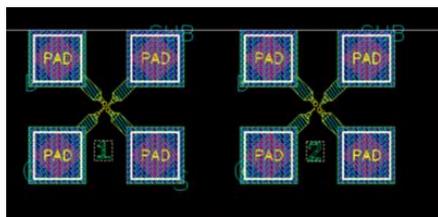


図 1 PAD 共有の方法

## 3. MOSFET 特性ばらつき評価

TEG の測定は  $I_D-V_{GS}$  特性、 $I_D-V_{DS}$  特性を測定した。ばらつきデータを抽出したのは  $I_D-V_{GS}$  特性、 $I_D-V_{DS}$  特性の電流値としきい値電圧である。しきい値電圧は  $I_D-V_{GS}$  特性から抽出した。図 2~図 4 にばらつきデータの一部を示す。図 2~図 4 は PAD 共有ありの TEG, n チャネル MOSFET ゲートサイズごとのばらつき抽出結果である。ばらつき具合は変動係数を用いて表した。なお、測定したサンプル数は 10 チップである。

MOSFET ゲートサイズが大きくなるほど、ばらつきが小さくなるはずであるが、図 2~図 4 ではその傾

向はみられない。この原因はサンプル数が少ないことが考えられる。

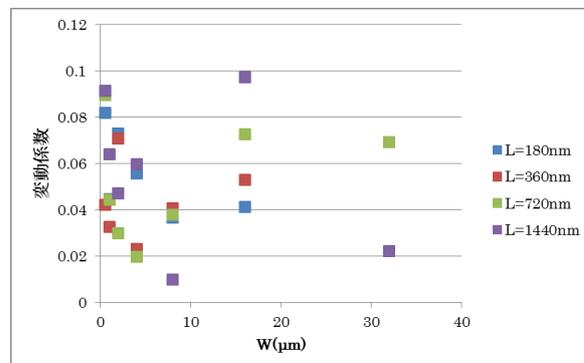


図 2  $I_D-V_{GS}$  特性ばらつき

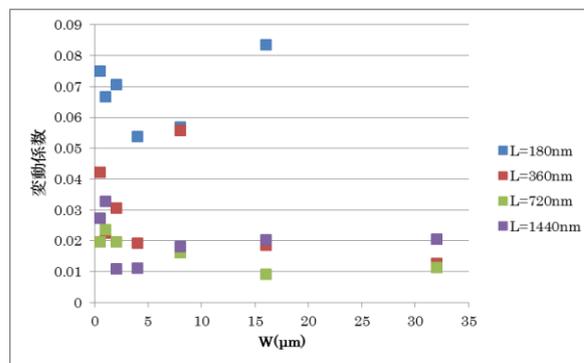


図 3 しきい値電圧ばらつき

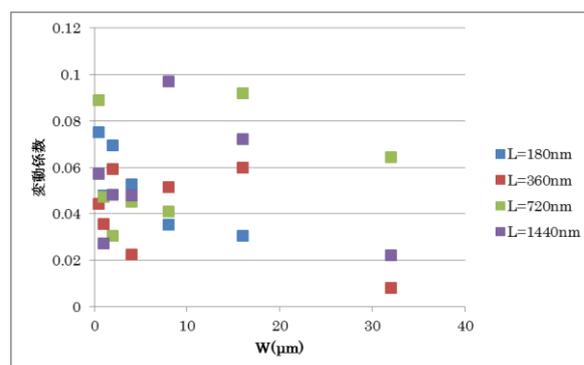


図 4  $I_D-V_{DS}$  特性ばらつき

## 4. まとめ

MOSFET 特性のばらつきデータを求めるための TEG を設計し、 $I_D-V_{GS}$  特性、 $I_D-V_{DS}$  特性、しきい値電圧のばらつきデータを抽出した。MOSFET ゲートサイズが大きくなると、ばらつきが小さくなるはずである。しかし、今回抽出したばらつきデータでは、その傾向はみられなかった。このことから、さらに正確なばらつきデータを抽出するには、10 チップ以上のサンプル数が必要であると考えられる。