

# 要 旨

## セルフタイム型パイプラインによる FFT 回路の高速化

田口 龍一

将来における無線ネットワークでは、スペクトルの効率を単に改善するだけでなく、通信可能なエリアとキャパシティの増強のために、HetNet のような異なる無線ネットワーク構成が必要になる。このような場合、利用可能なインタフェースや基地局から動的により良いインタフェースを選ぶことは重要である。つまり、実時間において多数の無線信号系列を処理しなければならない。しかし、それらのシステムに使用されているクロック同期型回路は、事前にスケジューリングされたパターンに基づいて動作するので、多様な通信方式の信号を柔軟に処理できない。

そこで、受動的に信号処理が可能なセルフタイム型パイプライン (STP) を使用することにより、異なる周波数でサンプリングされた信号に対しても柔軟に処理を行う。したがって、本研究は、無線信号処理で負荷が重い高速フーリエ変換 (FFT) 回路の STP による実装に着目した。

本研究では、ストリーム指向並列処理の考え方に基づいて、利用可能なハードウェア量に応じて動作可能な FFT 回路を STP により実現する方法を検討した。そして、1024 ポイント FFT 回路を FPGA (Stratix II, ALTERA) 上に実験的に実装した。さらに、提案した回路を現代の ASIC プロセス (例えば 40nm の CMOS) を用いて実現する場合、約 27M sample/sec の処理性能を達成できる見通しが得られた。

キーワード セルフタイム型パイプライン, FFT, ストリーム指向並列処理

# Abstract

## High Performance FFT Circuit Based on Self-Timed Pipeline

Ryuuichi TAGUCHI

Future wireless networks will be required not only to improve spectral efficiency solely but also to organize heterogeneous wireless networks such as HetNet for increasing system coverage and capacity. In such case, it is important to choose a better wireless interface from available interfaces/cells dynamically, i.e., multiple wireless signal sequences have to be processed in real time. However, clock-synchronized circuit modules for those systems operate based on some prescheduled (fixed) patterns and thus they lack flexibility to process the signals.

Self-timed pipeline (STP) circuit can flexibly process any combination of signal sequences even if they are sampled at different frequencies, because STP inherently has clockless passive operation mode. Therefore, this study focused on the STP implementation of fast Fourier transform FFT, which is one of the heaviest functions in wireless signal processing.

In this study, adaptive parallelization technique of FFT depending on available amount of the hardware resource is formulated based on the stream-oriented processing scheme and then designed using the STP circuit. As a result of its preliminary optimization on an FPGA (Stratix II, Altera), the proposed 1024 point FFT circuit performed 2.5 M sample/sec. This indicates that it can achieve about 27 M sample/sec. if the proposed circuit will be realized by using the modern ASIC process, e.g., 40 nm CMOS.

*key words* Self-timed pipeline, FFT, Stream-oriented parallel processing