

## 要 旨

# セルフタイム型データ駆動プロセッサの負荷先見による 動的電圧制御方式の検討

藤原 祐太

近年、LSI システムの低消費電力化の常套的手段の一つとして、動的電圧制御 (Dynamic Voltage Scaling : DVS) が実用化されている，しかし、クロック同期回路の場合，電圧昇降時にクロック周波数も昇降する必要があり，それに時間を要するために動的な負荷変動に対する応答性が劣り，無駄に電力を消費する傾向にある．

これに対して，本研究では，負荷変動に対する応答性に優れた低消費電力化を確立するために，クロックを用いないセルフタイム型パイプライン (STP) により構成されたデータ駆動プロセッサを前提にした DVS 方式を検討した．特に，入力データレートの変動に伴う負荷変動を先見することによって，実時間で適切に電圧を昇圧可能な方式を検討し，実 LSI チップ上でその低消費電力化の効果を検証した．

本研究では，負荷先見型電圧制御方式の一次評価として 65nm，4CORE，CMOS プロセスを用いて試作された ULP-DDCMP チップを活用し，電力当たりの性能を評価することで，提案方式の実現可能性について検討した．また，評価条件として，電源電圧は 0.8V ~ 1.2V，実行プログラムは UDP/IP プログラムを使用した．提案方式による効果として，パケット転送負荷を従来 DVS がオーバーフローしてしまう 4.76 K packet/sec とした場合，電力当たりの性能として，265 k packet/sec/W という数値を得ることができ，電力当たりの性能の向上を確認することができた．

キーワード セルフタイム型データ駆動プロセッサ動的電圧制御, 負荷先見

# Abstract

## A Study on Load-Aware Dynamic Voltage Scaling for Self-Timed Data-Driven Processors

Yuta Fujiwara

In recent years, the dynamic voltage scaling (DVS) has been widely utilized as one of the usual means to lower power consumption of LSI systems. However, in the case of the clock synchronization circuit, it is necessary to alter the clock frequency along with the voltage level, and to suspend the program execution., Furthermore it takes several hundreds micro seconds to change the clock frequency due to the PLL synchronization delay. This will degrade the power performance efficiency of the systems.

To solve the problem, this study discussed a load-aware dynamic voltage scaling scheme for self-timed data-driven processors(DDP), which allows the program to run even during the transient time of the voltage change. Furthermore, by observing input data load, appropriate voltage can be set before the effective load is altered.

in this study, 4-core DDCMP chip fabricated by 65nm CMOS process was used to evaluate the feasibility of load-aware voltage scaling. As evaluation conditions, this study set from 0.8V to 1.2V supply voltage, and used UDP/IP program. When the packet forwarding load was 4.76 K packet/sec, the performance per power was 265 K packet/sec/W.

**key words** self-timed data-driven processors, dynamic voltage scaling, load-aware