

要 旨

セルフタイム型パイプラインにおける 複合粒度パワーゲーティングの検討

松田 佳介

近年 LSI の消費電力が増大している。電力増大の主な原因は、素子の高速動作による動的電力の増大と、デバイスの微細化による漏れ (リーク) 電力の増大にある。これらの問題解決を目的として、クロックを用いず動的電力が削減できるセルフタイム型パイプライン (Self Timed Pipeline、以下 STP) に、電源を遮断し、リーク電力を削減するパワーゲーティング (Power Gating、以下 PG) 技術をステージ単位で適用した細粒度の PG 構成がすでに提案されている [2]。パワーゲーティングでは、スイッチング時の充放電によるエネルギーオーバーヘッドよりも、スリープ時間によるリーク電力削減量を得ることが重要である。また、パワーゲーティングの粒度が細かく、スリープ時間が短いと損益分岐時間 (Break-even Time、以下 BET) が保証されない。

本研究では、BET を保証できる、複合粒度型 PG を STP に適用した。STP を利用して作られた CMOS 65ns プロセスのパラメータに基づいて、データ到着間隔に対する最適なパワーゲーティングの粒度を調べた。結果として、ステージ単位パワーゲーティングに比べ、提案回路では、電力削減効果が、9.86%向上することがわかった。

キーワード 複合粒度パワーゲーティング, セルフタイム型パイプライン, 損益分岐時間

Abstract

A Study on Adaptive Grain Power Gating for Self-Timed Pipeline

Keisuke Matsuda

Recently, the electric power consumption of system LSI 's has increased rapidly. This is because the dynamic power consumption is increased due to high-speed switching while the standby (leak) power is consumed more due to the growth of micro-fabrication technology. The self-timed pipeline (STP) with the power gating (PG) is one of the promising techniques to reduce the leakage more aggressively and thus its fine-grained PG approach has been proposed recently. In the PG, it is important to maintain leakage energy reduced during the sleep time beyond energy overheads such as charge/discharge current during switching of the power switch transistors. However, if PG granularity is finer and the sleep time is shorter, a break-even sleep time (BET) might not be guaranteed.

In this study, an adaptive grain power gating circuit for the STP is proposed to guarantee BET. The optimal PG grains depending on the data flow rate in the STP are analyzed based on 65 nm CMOS process parameters. Based on this analysis, the power reduction by the study circuit will improve 9.86% compared with the stage-by-stage PG of the STP.

key words Adaptive Grain Power Gating , Break-even Time , Self-timed Pipeline