

# 浮動小数点演算器の設計と評価

## Design and evaluation of floating point unit

電子・光システム工学コース 橋研究室 1155059 矢野 達彦

### 1. はじめに

様々な分野で使用されている浮動小数点演算器だが、扱う数値は複雑なものが多く、より高速な演算器が必要とされている。本研究では浮動小数点形式で表された数値の四則演算を行う演算器の設計を行う。演算の際、仮数の演算ビット数を変更できるように設計し、高速化をはかる。加減算器、乗算器、減算型除算器、乗算型除算器の四種類設計し、各演算器ともに、IEEE754 単精度の規格にそって設計したビット幅固定型、仮数の演算ビット数を変更できるように設計したビット幅可変型の二回路設計する。四種類八回路の浮動小数点演算器を LSI として設計し遅延の計測を行う。

### 2. 浮動小数点演算器設計

Quartus II を用いて VHDL で各演算器、複数のアルゴリズムを用いて設計を行行い、ModelSim Altra でシミュレーション、FPGA ボード(DE2)での動作確認を行い、遅延と回路規模から LSI として設計する演算器のアルゴリズムを決定した。ただし、非正規化数、非数、無限大は扱わないという条件で設計した。設計を行い、遅延、回路規模を比較した結果、加減算器は Parallel Prefix Adder、乗算器は wallace tree、減算型除算器は回復型除算法、乗算型除算器は newton 法を使用したものを LSI として設計することにした。ビット数の変更はすべての演算器に共通して使用している Parallel Prefix Adder の演算段数を基準に決定し、8 ビット、16 ビット、規格通りの 24 ビットとした。LSI 設計は ROHM0.18um 用京大版ライブラリを使用し、自動配置配線ツールを用いて行った。LSI の設計面積が足りずビット幅可変型乗

算型除算を除く四種類七回路を LSI として設計した。設計した演算器のセル数は表 1 のとおり。

表 1 回路規模

	固定	可変
加減算器	1528	1650
乗算器	3325	5205
減算型除算器	3976	7844
乗算型除算器	31329	48288

また、ビット幅固定型の演算器に対してパイプライン設計を行った。

### 3. 計測結果

LSI の遅延の計測をした結果は表 2 のとおり。

表 2 各演算器の遅延

	固定	可変		
		8bit	16bit	24bit
加減算器	43	37	43	43
乗算器	42	40	42	43
減算型除算器	130	53	102	132
乗算型除算器	209	—	—	—

### 4. まとめ

ビット幅を変更することによる演算の高速化は減算型除算器のように繰り返し演算を行う演算器で効果が出た。加減算器、乗算器は演算が一回だったためあまり差が出なかったが、演算を繰り返し行うことで高速化の効果が出ると考える。

値を出力した後の遅延が未知数であるため正確な遅延は計測できていないがどの演算器にも一定の配線遅延が付加されていると考え、演算器の高速化自体は達成できていると考える。