

ダイナミック・コンパレータの製作と評価

高知工科大学 電子系電子工学専攻
橋研究室 1140118 中村 達彦

【研究背景】

近年、大規模集積回路の微細化によって、扱う信号の高速化が進んでおり、その高速化の為に回路遅延の改善が必要となっている。よく大規模回路に組み込まれるコンパレータは、電圧を比較し、結果を出力する電子回路である。また半導体装置全体の回路規模の増大化しており、各回路の小面積化が求められている。

【研究目的と研究内容】

以上の背景を受けて、定常電流が流れない小型低消費コンパレータであるダイナミック・コンパレータを作成し、評価することを目的とする。その為にダイナミック・コンパレータのレイアウトを設計し、VDEC(東京大学大規模集積システム設計教育研究センター)を通してチップの試作を行う。そしてチップを測定し、ダイナミック・コンパレータの評価をする。

【設計、評価方法】

図1において、設計回路のトランジスタM5,M6,M9,M10はCMOSラッチ回路、M7,8,11,12はラッチ回路を起動するためのスイッチ回路、M1,2,3,4は差動入力回路を構成している。なお、それぞれのトランジスタのサイズ比は、M1~4=7.5W/L。M5~M8=15W/L、M9~M12=30W/Lである。図1のレイアウトを図2に示す。図1の回路にVinp1に振幅0.6VのSIN波の電圧をかけ、Vinp2、Vinn1、Vinn2には一定電圧をかけその出力を観察し、評価を行う。

【結果】

図3に本研究で試作したダイナミック・コンパレータの入出力を示す。入力Vinp1の電圧に比例してVout+とVout-の比較が行えているのが図から確認できた。よって設計回路は研究目的の製作を達成したといえる。しかし、遅延時間がシミュレーションより大幅に増えていた事も確認できた。原因として、レイアウトと測定の際用いられるPADをつなぐ配線の長さや幅に統一性が見られずに、回路に比べはるかに長いことが考えられる。

【結論】

本研究では、動作するダイナミック・コンパレータを設計することができた。しかし、設計段階で配線の長さなどを考慮する点が不十分であった。

【参考文献】

- ・松澤昭著:「アナログRF CMOS集積回路設計[基礎編]」 培風館
- ・谷口研二著:「LSI設計者のためのCMOSアナログ回路入門」CQ出版

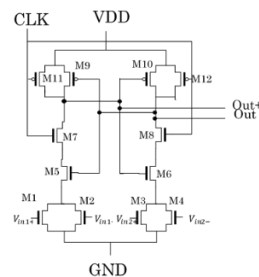


図1、試作回路構成

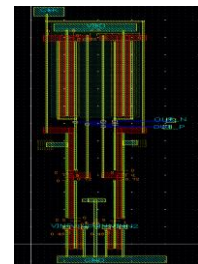


図2、レイアウト

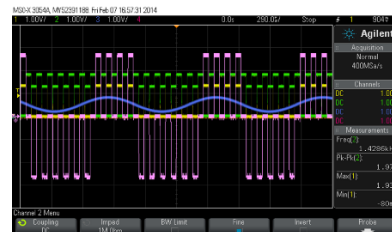


図3、測定結果