

FPGA による処理を考慮した走査線ラベリングアルゴリズムの開発

星野研究室 1140163 虫明 大貴

1. はじめに

工業製品の品質検査として、以前は人の視覚に頼った外観検査を行っていた。しかし、人件費、検査員の熟練度、誤検出率の高さ、といった問題点から現在では産業用カメラを用いた自動検査装置の導入が進んでいる。だが、この自動検査装置も製品の製造速度に検査速度が追いつかず、製造と検査を別々の工程で行わなければならない。そこで現在では製造から検査まで一貫した工程で行うことができるシステムが必要とされている。

2. 研究概要

本研究では、ラインセンサカメラで検査対象の走査スキャンを行い、1ライン、 1×16834 画素のデータを約10000fpsの速度で撮影しつつFPGAへと転送する。FPGAを搭載したU-tech社製画像処理ボードVS1388では画像処理、ランレングス処理、ラベリング処理、計算処理を並列処理し、図のようなリアルタイムでの検査の実現^[1]を目指す。

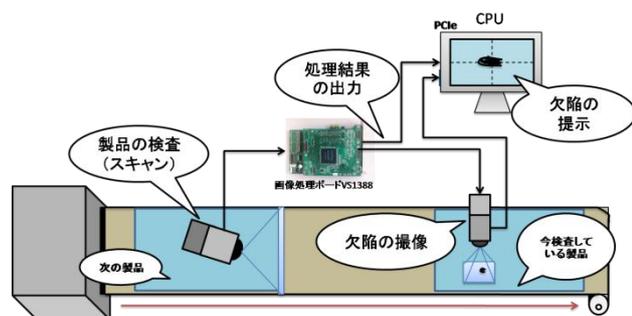


図. 1 提案プロセス

VS1388での処理の結果として、欠陥の重心や面積を出力し、そのデータをもとにエリアカメラでその欠陥を撮影し人の目でその画像を確認して識別を行う。

3. Verilog HDL での FPGA の設計

本研究では、Verilog HDL というハードウェア記述言語

を用いてランレングスデータのデコード処理、結合処理、ラベリング処理、計算処理4つを設計した。これらは、

- ① テストベンチから出力されるデータをデコード
- ② 1ラインごとに分かれた欠陥データを結合
- ③ 結合したランレングスデータのラベルの書き換え
- ④ 欠陥の重心座標を求める

という一連の処理を並列に行い、リアルタイムでの欠陥検出を行う。この重心座標データを用いてエリアセンサカメラで欠陥の全体像を撮像し、処理結果を提示する。

4. 実験結果

処理時間の比較のため、同じテストデータをC言語で設計した欠陥検出アルゴリズムとVerilog HDLで設計したモジュールで処理した。C言語での欠陥検出アルゴリズムでは、処理結果を出力するまでに203(ms)、Verilog HDLで設計したモジュールでは53(ms)であった。しかし、C言語での欠陥検出アルゴリズムは、画像の取り込み時間を考慮しなければならないので、実際には203(ms)+67.3(ms)の処理時間となる。また、Verilog HDLで作成したモジュールは、欠陥の生じる位置などの条件に左右されるが、ラインセンサカメラが対象を撮像している間に処理結果を出力できるため、リアルタイム処理の条件を十分に満たしていると考えられる。

5. 終わりに

メーカーが作成したシステムコアに問題が発生している為、FPGAへの実装後の計測などを行っていない。そのため、実装後の計測と検証が必要である。

参考文献

- [1]Donald G. Bailey, Design for Embedded Image Processing on FPGAs, p354-p356