

2 段オペアンプを用いたバンドギャップリファレンスの設計と評価

電子工学専攻 橋研究室

1140181 山田健太

1. 研究背景と目的

一般的に LSI には基準電源回路が搭載されている。したがって、基準電源回路の出力が変動してしまうと LSI の動作が不安定になってしまう。なお、出力変動の要因として、電源電圧変動や温度変化などが挙げられる[1]。

本研究では、電源電圧と温度の変動に対して出力変動が小さいバンドギャップリファレンスを扱う。さらに本研究の目的は、2 段オペアンプを用いることによって電源電圧依存性を軽減することである。

2. バンドギャップリファレンス

バンドギャップリファレンスとは、シリコンのバンドギャップを参照した電圧を出力する基準電源回路である[1]。

ダイオードの温度特性を利用することによって、負の温度依存性を持つ電圧(CTAT 電圧)と正の温度依存性を持つ電圧(PTAT 電圧)を生成し、組み合わせることによって出力電圧の温度依存性を軽減することが可能である[1]。

図 1 のカレントミラー回路に接続された 2 段オペアンプが、図 1 に示す MOSFET の出力抵抗を大きくすることによって電源電圧依存性の軽減が可能となる[2]。そして、このオペアンプの利得が高いほど、図 1 に示す MOSFET の出力抵抗は大きくなるため本研究では 2 段オペアンプを使用した。

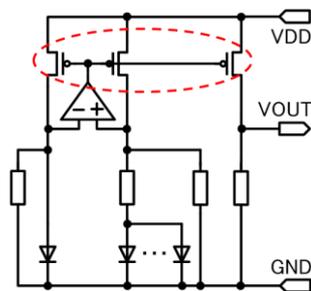


図 1 バンドギャップリファレンスの回路構成

3. 実測結果

図 2 より、設計した回路の動作を確認した。出力電圧変動については、電源電圧 1.8V 時の出力に対して最大で 0.4%であった。次に、チップごとの

出力電圧について図 3 に示す。シミュレーション結果に対して最大 11%のバラツキが発生していることを確認した。最後に、温度特性についてのグラフを図 4 に示す。シミュレーション結果の温度係数は 132ppm/°Cである。また、図 4 より温度係数を計算した結果、抵抗内蔵型のバンドギャップリファレンスの場合145ppm/°C、抵抗外付型の場合 154ppm/°Cとなった。

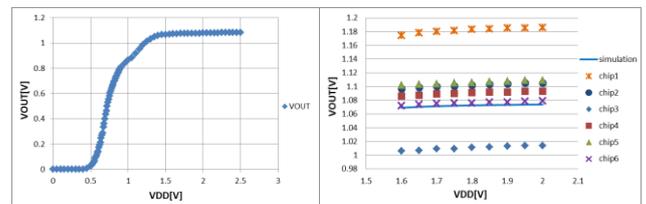


図 2 出力結果 図 3 チップごとの出力

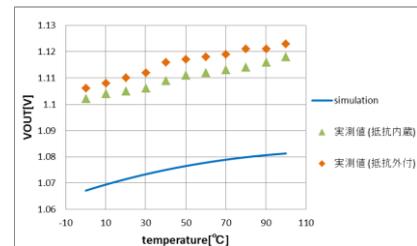


図 4 温度特性

4. まとめ

電源電圧依存性の軽減については、設計目標である出力電圧変動 5%以内を満たすことができた。しかし、図 4 から温度依存性については温度係数 50ppm/°C という設計目標を満たすことができなかった。さらに、チップごとに出力電圧のバラツキを確認した。

今後の課題としては、温度依存性の軽減、チップごとの出力電圧バラツキを抑える、又は出力電圧にバラツキが生じたとしても、出力の制御を可能とする回路の設計が挙げられる。

参考文献

- [1]谷口 研二 著:「CMOS アナログ回路入門」CQ 出版社
- [2] R.Jacob Baker 著:「CMOS : Circuit Design, Layout,and Simulation(IEEE Press Series on Microelectronic Systems) Second Edition 」IEEE