

要 旨

マルチストリーム対応 FFT 回路の 空間並列化に関する研究

宇野 則文

近年、情報通信技術の発展に伴って、無線通信機器で授受されるトラフィックが急増している。無線通信トラフィック収容能力向上のために、エリア面積が異なるセルを組み合わせたヘテロジニアス無線通信ネットワーク (HetNet) 技術が検討されている。HetNet では、セルサイズに応じて異なる無線通信方式を採用しているため、基地局や端末は、これらの複数の無線通信方式を扱える必要がある。したがって、異速度信号が混在する無線通信機器の実現が必須である。

これを実現するために、異速度信号を柔軟に高速処理できる回路を構成する必要がある。現在普及しているクロック同期型回路は、事前にスケジューリングしたパターンに基づいて動作するため、異速度信号を柔軟に処理することが困難である。そこで、受動的に異速度信号を処理することが可能なセルフタイム型パイプライン (STP) に着目した。

本研究では、無線通信処理の中で高負荷な処理の一つである高速フーリエ変換 (FFT) を対象に複数の異速度信号系列を同時高速処理可能な回路の構成法を確立することを目的として、既提案の STP のリング構成を空間並列化し、さらに高速化を図る回路構成を提案した。

提案回路を 65 nm COMS ライブラリを用いて設計し合成した結果、空間並列度に比例して高速化が可能になる見通しが得られた。FPGA(Stratix V, ALTERA) 上の FFT 回路と比較して、最大で 5.25 倍スループットを向上できる見通しが得られた。また、回路合成の結果、総セル面積は 2.36 mm^2 であった。

キーワード 異速度信号, 高速フーリエ変換 (FFT), セルフタイム型パイプライン (STP)

Abstract

A Study on Spatial Parallelization of FFT Circuit Handling Multiple Streams

Norifumi UNO

In recent years, the amount of traffic in wireless communication network increases exponentially. To accommodate such huge traffic, heterogeneous wireless network (HetNet) technology allowing various sizes of wireless cells has been studied. Because HetNet has to adopt different wireless communication methods according to cell size, it is necessary for the base stations and terminals to be able to handle these plural wireless communication methods including different sampling rate signals.

Therefore, those wireless devices need to process different sampling rate signals. The clock-synchronized circuit cannot process those flexibly because it works under only predesigned scheduling patterns. This study thus focuses self-timed pipeline (STP) that can accept any timing signals passively.

Since the fast Fourier transform (FFT) is one of the heaviest processing in wireless communication, this paper discusses how to improve performance of the existing STP-based FFT circuit proposed in our laboratory. After that, the paper proposes a spatially-parallel configuration composed of several existing STP-based FFT components.

The proposed parallel FFT circuit was designed and synthesized using 65 nm CMOS standard cell library. The simulation results indicated that the proposed circuit could achieve higher speed in proportion to the degree of spatial parallelism and that its maximum throughput was 5.25 times faster than that of FFT circuit on a high end

FPGA (Stratix V, Altera Corp.). The synthesis tool estimated total cell area of the proposed circuit 2.36 mm^2 .

key words multiple signals with different sampling rates, fast Fourier transform (FFT), self-timed pipeline (STP)