要旨

セルフタイム型パイプラインにおける DL タイミングエラー検出回復回路の検討

岡宗 祥平

近年,トランジスタの微細化・高集積化に伴い LSI のディペンダビリティ向上が益々重要 視されている.100 億を超えるトランジスタを集積化するチップを設計・製造段階で網羅的 にテストして 100% の高信頼化を図ることは,時間的・金銭的なコストを考えると事実上困難である.よって,従来のような高信頼化に代わって,故障が起こると残りの部分がそれを 補い,自己修復的な動作を行なう能力であるディペンダビリティが注目されている.

本研究では、過渡故障のひとつであるタイミングエラー [2] に着目し、将来のヘテロジニアスなマニーコア構成には必須となるセルフタイム型パイプライン回路 (STP)[1] のディペンダビリティを向上する方法を検討した。 具体的には、STP のパイプライン段のデータラッチ (DL) において、セットアップ/ホールド時間違反に伴って発生するタイミングエラーを検出し、これを回復する回路構成を提案した。さらに、提案回路を 4 段パイプライン構成の 32bit 整数乗算器に適用した回路を 65nm CMOS 標準論理セル・ライブラリを用いて設計し、動作検証および面積オーバヘッドを評価した。

キーワード セルフタイム型パイプライン,ディペンダビリティ,タイミングエラー, エラー回復

Abstract

A Study on DL-Timing-Error Detection and Recovery in Self-Timed Pipeline

Syouhei Okamune

With advanced semiconductor technology, higher dependability of LSI chips is required more and more. When billions of transistors are integrated on a LSI chip, it is realistically difficult to guarantee 100 % reliability of the LSI chip by verifying the chip with 100 % test coverage in its design and production phase. This is because its design and production cost must be reflected in its price so that it might be very expensive. Therefore, in place of traditional reliability, the concept of dependable LSI is being focused. Dependability means a kind of resilient capability to allow partial failure but to work with self-recovery mechanism by the rest part of LSI chip.

In this study, we focus on the timing error[2] which is one of the transient fault of LSI 's and we then try to improve dependability of the self-timed pipeline circuit (STP)[1] which is one of necessary technologies in future heterogeneous many core LSI chips. This paper proposes a timing error detection and recovery circuit applicable to every data latch (DL) in STP. In order to verify and evaluate the proposed circuit, we designed four-stage 32-bit integer multiplier module equipped with the proposed circuit using 65 nm CMOS standard cell library.

key words self-timed pipeline, dependability, timing-error, error recovery