

# 要 旨

## セルフタイム型データ駆動プロセッサの 動的電圧制御回路の検討

畠山 博信

近年，LSI システムの低消費電力化の要求が益々高まっている．消費電力を削減する手法の一つに，動的電圧制御 DVFS (Dynamic Voltage Frequency Scaling) がある．クロック同期式回路に DVFS を用いると，電圧と共にクロック周波数を変える必要があり，プログラムの実行を一時的に停止せざるを得ない．これにより，結果的に電圧昇降の制御間隔が長くなるため，オペレーティングシステムを介在させた粗い電圧制御しか実現されていない．

これに対して，本研究では，クロックが不要なセルフタイム型パイプライン (STP) に着目し，プログラム実行を停止せずに，かつ，ハードウェア水準での高速な動的電圧制御が可能な回路について検討している．STP では，パイプライン段間で転送要求に応じてハンドシェイクを行い，有効なデータを有するパイプライン段のみが動作する．よって，パイプライン段の稼働率（すなわち，実効スループット）に比例して電力を消費する．このため，チップ内部の消費電流値を観測することによって，STP 内の実効スループットが判るため，それに応じて電圧を昇降させることが可能になる．

本論文では，セルフタイム型パイプラインに基づくデータ駆動チップマルチプロセッサ ULP-DDCMP チップに対して，動的に電圧制御可能な回路の構成を検討している．特に，消費電流値を観測してその値から省電力化が可能な供給電圧を決定する回路，ならびに，現在の供給電圧値に対して目標電圧値に安定的に変更するためのフィードバック制御回路について考察している．前者については，コア毎の消費電力特性に適した電力決定方式を，後者

に関しては，プログラム実行に支障を与えない安定的な電力供給制御方式を提案する．さらに，これらの方式を周辺回路として実装し，低消費電力効果を評価した結果を示す．

キーワード 動的電圧制御，セルフタイム型パイプライン，データ駆動プロセッサ

# Abstract

## A Study on Dynamic Voltage Scaling Circuit for Self-Timed Data-Driven Processor

Hironobu Hatakeyama

Recently low-power techniques of LSI systems are being demanded more and more. One of those techniques is the dynamic voltage frequency scaling (DVFS) to reduce dynamic power. However, due to the clock synchronization, program execution must be suspended to change clock frequency according to the target voltage. Since DVFS interval time is longer, only coarse-grain DVFS controlled by operating system is practicable in commercial LSI chips.

Therefore, in this study, we focus clockless self-timed pipeline (STP) to realize suspend-free fine-grain dynamic voltage scaling (SF-DVS) in hardware level. Every STP stage operates only when the stage holds the valid data by transferring hand-shake signals among its neighbor stages. STP thus consumes dynamic power in proportion to the operating rate of the pipeline, i.e., pipeline throughput. If the consumed current in the chip is observed to detect effective throughput, the optimal supply voltage can be decided in hardware level.

This paper studies on a circuit configuration of dynamic voltage scaling applicable to our self-timed data-driven chip-multiprocessor. This circuit is composed of two components; the first one is a target voltage decision circuit according to its observed current of each processor core, and the second one is a stable voltage control circuit

to change the current voltage to the target voltage without suspending program execution. The proposed circuit was implemented as a peripheral circuit on our data-driven chip-multiprocessor evaluation board and its power reduction ratio is evaluated through actual measurement of the board.

effect for observation result.

***key words*** dynamic voltage scaling , self-timed pipeline , data-driven processor