

FPGA の負荷変動による性能ばらつき の測定と評価

1150001 浅田 堯志 (密山研究室)

1 はじめに

製造プロセスの微細化が進み、LSI の動作速度の高速化が図られてきた。その一方で、負荷変動や供給電圧変動などの動的な要因のほか、チップ内ばらつきや経年劣化が動作速度に与える問題が顕在化している [1][2]。特に、近年幅広く用いられている FPGA は、コンフィギュレーションによってチップ内の回路構成や負荷状況が大きく変わる。本研究では、商用 FPGA において負荷変動ならびにチップ内ばらつきが動作速度等に与える影響を定量的に評価する。

2 動作速度の測定方法と評価項目

2.1 動作速度測定回路

リングオシレータの発振周波数を観測し、動作速度を測定する。リングオシレータとその発振周波数を保持する分周回路の構成を図 1 に示す。

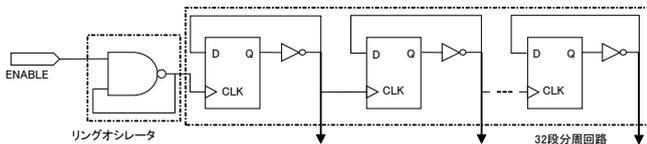


図 1: 動作速度測定用発振回路の構成

2.2 測定方法と評価項目

Altera 社 Cyclone IV を搭載する FPGA ボード Terasic DE2-115 を用い、以下に述べる項目を評価した。

負荷変動による影響

負荷変動による影響負荷状況が動作速度に与える影響を評価するため、動作速度測定用発振回路（ターゲット回路）の周囲に複数の発振回路（負荷回路）を配置し、負荷状況を変化させる。

チップ内ばらつきによる影響

FPGA 内の素子ばらつきや回路構成が動作速度に与える影響を評価するため、発振回路を配置する場所をチップの中央 (1)、左上 (2)、左下 (3)、右上 (4)、右下 (5) の 5 カ所に設定し、動作速度を測定する。

3 実験結果

3.1 温度安定時（高温時）の測定結果

チップの温度上昇が安定するまで一定時間動作させ、負荷状況が動作速度に与える影響を評価した。図 2 から、負荷回路数が 0 のとき、発振周波数が測定位置によって大きく異なり、負荷回路数の増加に伴って低下している。図 3 から、発振周波数の低下率も測定位置により 6~11% の間で大きく異なった。図 3, 4, 5 から、速度低下率、消費電力、チップ温度に大きな依存関係があることが確認できた。

3.2 温度固定時（低温時）の測定結果

温度による影響を排除するため、チップ温度を 30℃ に固定して、3.1 章と同様の実験を行った。図 6 より、負荷回路数の増加に応じて発振周波数は低下するが、温度安定時 (図 3) よりばらつきが小さく、低下率は 4~6% であった。

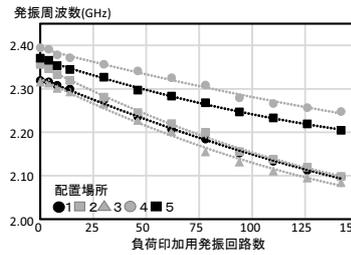


図 2: 発振周波数の変化

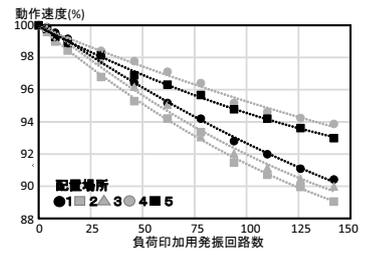


図 3: 発振周波数低下率

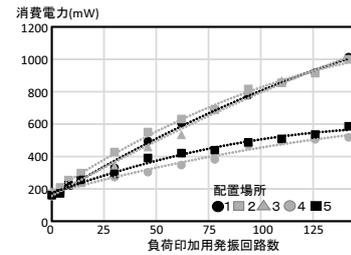


図 4: 消費電力の評価

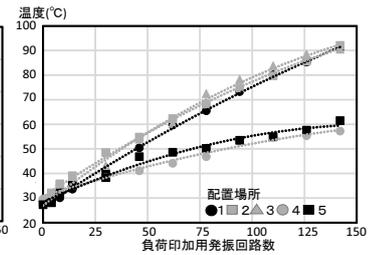


図 5: チップ温度の変化

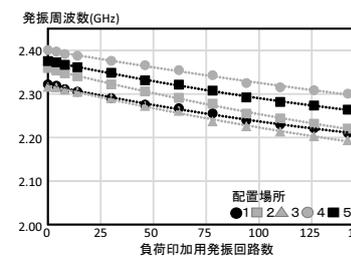


図 6: 発振周波数の変化 (30℃)

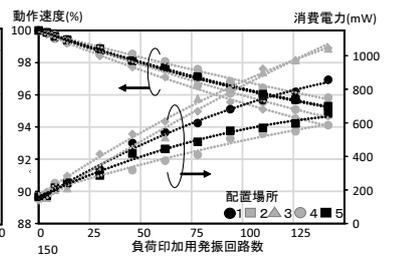


図 7: 低下率と消費電力 (30℃)

温度を一定にすると消費電力は発振周波数にのみ依存すると考えられるが、図 7 から、発信周波数の低下率が大きいほど消費電力の増加率が大きくなった。これは予想とは逆の関係であり、原因はまだ明らかになっていない。

3.3 チップ間のばらつき の測定

同一製品で異なる FPGA ボードを用いて同様の実験を行った。温度安定時 (高温時) では、負荷回路数の増加に応じて発振周波数が低下する傾向は同じだったが、ばらつきの大きさは異なった。発信周波数の低下率、消費電力、チップ温度には 3.1 章と同様に大きな依存関係が見られた。温度固定時 (30℃) でも、値は異なるが 3.2 章と同様の傾向が見られ、発振周波数の低下と消費電力の増加の関係についても同様に予想に反する結果が得られた。

4 まとめ

FPGA の負荷状況により、動作速度が最大で 11% 変動することを実験的に明らかにした。さらに、動作速度、チップ温度、消費電力の依存関係について定量的に評価した。

参考文献

- [1] 石井翔平, 小林和淑, “90nm プロセス商用 FPGA にマッピングしたリングオシレータの発振周波数の劣化評価,” 信学技報, VLD2011-55, pp.19-24, 2011 年 11 月 4.
- [2] E. Stott, et al., “Variation and Reliability in FPGAs,” Design & Test, IEEE, pp.50-59, 2013 年 6 月.