

# 冷却 CCD を用いた LSI 故障に起因する発光個所の特定

真田研究室 150007 和泉 健太郎

## 1 はじめに

現在、世界中で膨大な量の LSI が生産され出荷している。我々の生活はこの LSI に頼った生活している。もし LSI が故障した場合、最悪の場合、命を落としてしまう危険性が十分にあるため LSI の信頼性向上のために各企業、研究機関が研究をしている。本研究では、正常品と故障品の異常発光を観察することで故障と発光の関連性を研究テーマとした。

## 2 実験手順

図 2-1 のフローの順に実験を行った。

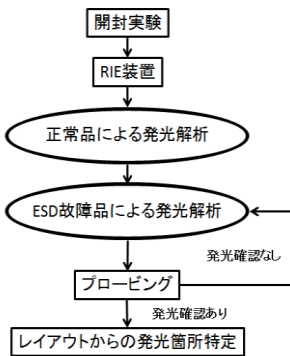


図 2-1 実験フロー

## 3 サンプル LSI 作成

今回使用したのは ESD のパルスを印加した LSI である。LSI の故障解析を行うには、電気的不具合状態を破壊しないようにパッケージを開封し LSI を露出させる必要がある。図 3-1 の従来のやり方ではテープ剥ぎの段階での LSI へのダメージ・時間がかかるという問題点があった。今回、改善策として図 3-2 のように凹凸のないようにラッピング式を用いた。結果として、表 3-1 のように時間短縮と成功率の向上ができた。



図 3-1 従来のラッピング



図 3-2 今回のラッピング

表 3-1 開封結果

	Etching Time	Tear off Time	Tear off Time	Yield	Result
Conv	15min	30min	difficult	~30%	good
Improve	5min	5min~	easy	90%~	good

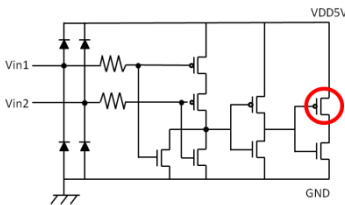


図 3-3 NOR 回路図

NOR 回路は図 3-3 のように NOR-Inverter1-Inverter2 の順で回路構成が成り立っており、74HC02AP にはこの回路が 4 つ組み込まれている

## 4 実験結果

発光条件を見るために正常品と故障品の入力に電圧を印加して発光現象を確認する。その発光現象を元に異常発光の検出を行う。入力端子は ESD 対策として、GND-入力端子 - VDD 間に逆方向にダイオードが作成されている。

図 4-1 は正常品の電源電圧 (VDD=5V) 固定で入力端子に電圧を印加した時の V-I 特性である。

その結果、図中 A 点 (5.8V, 1.4mA) 以上と B 点 (-0.7V, -1.6mA) 以下にて発光が観察された。この発光像を A, B に示す。

図 4-2 は故障品の電源電圧 (VDD=5V) 固定で入力端子に電圧を印加した時の V-I 特性である。

その結果、図中 C 点 (2.2V, 11mA) 以上と D 点 (-1.5V, -12mA)

以下にて発光が観察された。この発光像を C, D に示す。この A, B, C, D の発光箇所はダイオードの空乏層を中心に発光している。また、PN 接合において空乏層は電界強度が一番強く、抵抗値も最大となるためである。

図 4-3 は故障品の入力 (0V) 固定で電源電圧 (VDD) に電圧を印加した時の V-I 特性である。

その結果、図中 E 点 (5V, 12mA) で異常発光が観察された。図 4-4 は AL 配線除去後の全体写真である。図 4-5 は発光箇所の拡大図である。図 3-3 に示す○部の PchTr 一部に相当する。

以上の解析結果から原因は、過電圧パルスが ESD 保護回路を介して PchTr のソース電極部に影響したものと考えられる。

## 5 まとめ

冷却 CCD を用いた LSI 故障に起因する発光箇所の特定は、LSI の故障解析をする上で有効といえる。

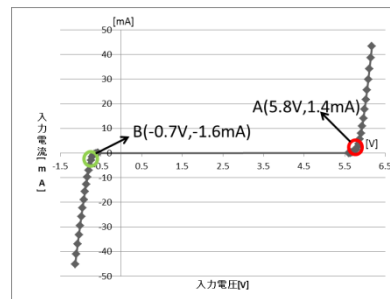


図 4-1 入力電圧/入力電流 (正常品)

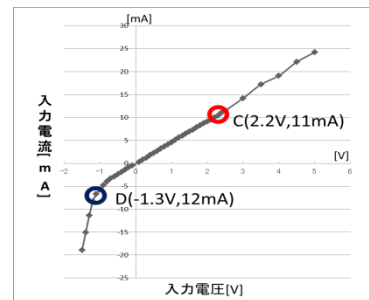


図 4-2 入力電圧/入力電流 (故障品)

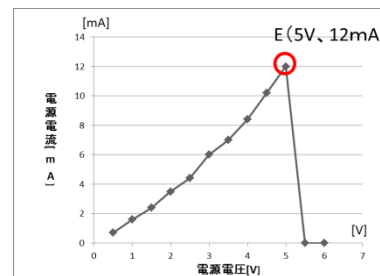


図 4-3 電源電圧/電源電流(故障品)

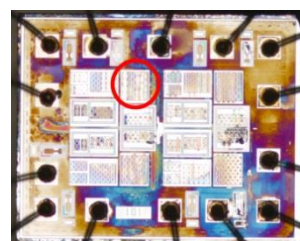
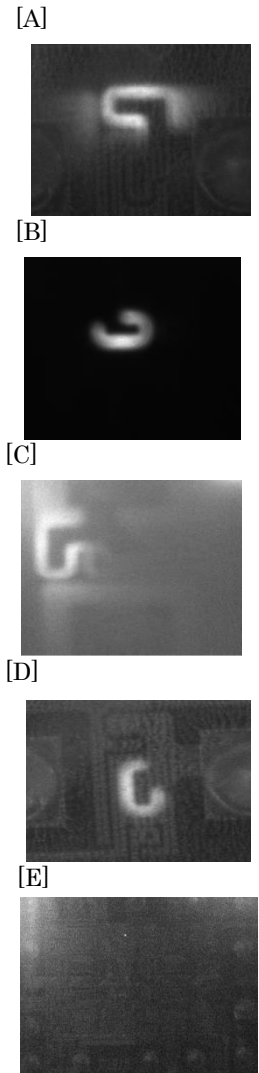


図 4-4 AL 配線除去後

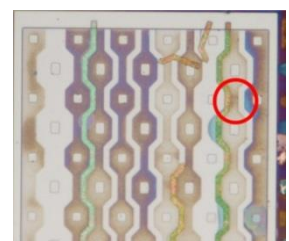


図 4-5 発光箇所拡大図