

アナログ素子の TEG 設計

1150071 庄司大輝

高知工科大学 システム工学群 電子工学専攻 橋研究室

1. はじめに

LSI の微細化、低電圧化に伴いアナログ素子のばらつきが回路動作に与える影響が大きくなって来ている。そこで本研究では、同じ能力を持った MOSFET のゲートをマルチ化またはダミーを付けた特性ばらつき測定用の TEG を Rohm0.18 μm プロセスで設計し、どのくらいばらつきがあるかのデータ抽出を目的とする。

2. TEG の設計

アナログ素子とはアナログ回路を構成する素子の総称を指し、今回はその中でもキャパシタや各 MOSFET にダミーの有無、マルチ化を下の図 1 のように設計を行った。

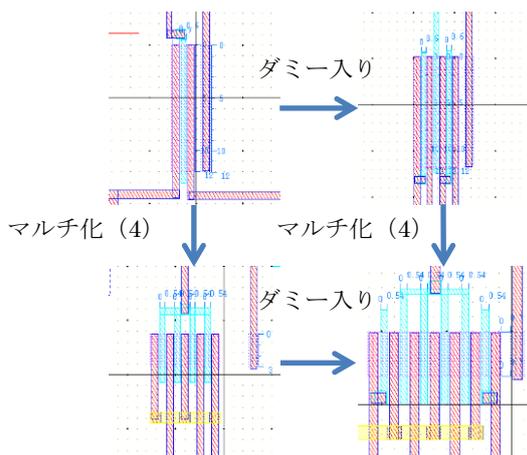


図 1. MOSFET のダミー入り、マルチ化

3. 測定

MOSFET の各 TEG は素子の各端子に PAD が接続されており、コンピュータを使い PAD にプローブ針を当

てる。更に半導体パラメータアナライザを用いて電圧を印加し、電流を測定した。印加する電圧の設定は図 2 に対応するように制御 PC で行った。

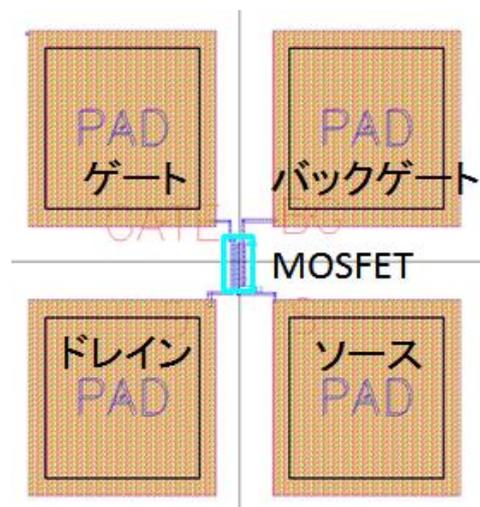


図 2. MOSFET の構成

4. まとめ

本研究は MOSFET のゲートをマルチ化またはダミーを付けたときの特性ばらつき測定用の TEG を設計し、どのくらいばらつきがあるかのデータ抽出を目的としており、測定結果が少ない、測定を手作業で行うことの不確かさが完全に排除できていないため、確実なものとはいうことが出来ない。しかしながら各 MOSFET の $I_D - V_{DS}$ 特性がマルチ化したもの、ダミーを付加したもののほうがシミュレーションに極めて近い値が出力されているので改善されているものと結論付ける。