

要 旨

セルフタイム型パイプラインにおける 転送許可信号異常の検出・回復回路

清藤 敦

近年、スケーリング則に従って微細化が進む LSI において、物理的な故障による信頼性低下が問題視されている。LSI に発生する故障には、製造段階の故障や実運用段階の過渡的および永久的な故障が存在するため、あらゆる状況において完璧に動作する LSI を設計・製造することは現実的ではない。このような問題への対処として、LSI の実運用段階において故障の検出と回復を行うことによるディペンダビリティの向上が希求されている。

本研究は、将来のヘテロジニアスマルチコアプロセッサを構成する上での基幹的要素であるセルフタイム型パイプライン (STP) [1] のディペンダビリティの向上を目的としている。先行研究 [2] で STP におけるデータパスの異常検出・回復回路が提案されているため、本研究では STP における制御パスでのハンドシェイク通信に用いられる転送許可信号 (Ack 信号) に発生する異常の検出・回復回路として、STP の転送制御回路である C 素子の状態遷移の特徴を利用し、一般的に用いられる TMR (Triple Modular Redundancy) ではなく DMR (Dual Modular Redundancy) での冗長化構成を提案した。

提案回路構成を 65nm CMOS 標準セルライブラリを用いて設計・合成した結果、STP の要求性能に応じたモジュールの最適化を行う際に必要な遅延素子量の差によって、提案構成の方がより小面積で構成できる条件が存在することが分かった。すなわち、Ack 信号異常に対する C 素子の冗長化手法は、STP の要求性能に応じてより小面積で構成できる方式を選択することが望ましい。

キーワード セルフタイム型パイプライン (STP), ディペンダビリティ, 故障検出・回復

Abstract

Ack-Signal-Error Detection and Recovery Circuit in Self-Timed Pipeline

Atsushi KIYOTO

Producing highly dependable VLSI chips has become a serious issue due to the miniaturization as well as the complexity of leading-edge products. Their faults occur transiently or permanently and they might be injected in the design and fabrication phase and might be derived from variability of manufacturing process or operating conditions. Therefore, it is not realistic to design and fabricate of LSI which completely works in every situation. As coping with such a problem, improving dependability by detecting and recovering faults in operation phase of LSI is desired.

This study is aimed to improve dependability of self-timed pipeline (STP). STP is a key element on constituting future heterogeneous multi-core processors. In previous study, the circuit that improves dependability of the data path in STP was proposed. Therefore, this study focuses on acknowledge signal of C-Element used in the control path in STP, and then proposes DMR (Dual Modular Redundancy) structure of the C-Element.

The proposed DMR C-Element circuit was designed and synthesized using a 65 nm CMOS standard cell library. As a result of comparison with the C-Element of a general TMR (Triple Modular Redundancy) structure, cell area of the proposal circuitry is smaller than that of TMR structure in case of ordinary required performance of STP. This indicates that redundant structures of the C-Element for acknowledge signal error

should be chosen depending on required performance of STP.

key words Self-Timed Pipeline, Dependability, Fault Detection and Recovery