

要 旨

セルフタイム回路を用いたスパイク駆動 神経回路網エミュレータの構成法

塘居 治世

近年、ディープラーニングをはじめとする汎用人工知能に関する研究が盛んになっており、脳内の神経回路網を計算機で模倣して活用しようという多くの試みがなされている。中でも、スパイク信号を受けた神経細胞の膜電位変化を生物学的知見に忠実にモデル化した、スパイク駆動神経回路網 SNN(Spiking Neural Network) のシミュレーションが注目されている。しかしながら、これらの神経回路網の模倣には、莫大な演算が必要であり、通常の汎用的な計算機では、実用的な時間で結果を得る事ができない。そこで、本研究では、比較的安価に入手可能となりつつある FPGA を活用して、SNN を直接的にエミュレートする方法を検討した。また、一般的には SNN は非同期に動作するものであり、本研究では、非同期回路の一種であるセルフタイム回路 STC(Self-Timed Circuit) を活用して SNN の動作を模倣するエミュレータの構成法を提案した。

提案した SNN エミュレータの構成法に関して、FPGA チップ (Altera 社 Stratix IV) を対象に論理合成し、回路規模などを求めた。また、動作周波数を 20MHz と仮定して各パラメータを変化させながら回路シミュレーションした結果、実時間の 20000 倍の速度でエミュレーション可能である事が分かった。この時、エミュレーションの加速変数 a は $a = dt \times f_{ck}$ の関係式で与えられ、回路のシミュレーションによって関係式が成り立つ事も確認できた。

キーワード スパイク駆動神経回路網 (SNN), セルフタイム回路 (STC)

Abstract

A Study on Self-Timed Emulator for Spiking Neural Network

Haruyoshi TOMOI

In recent years, novel neural networks such as deep learning are actively investigated and their implementation techniques are also studied. Particularly, spiking neural network (SNN) is noticed as a biological model to express neuronal membrane potential due to synaptic spike signals. However, computational complexity required for large SNN simulation is too enormous to be calculated on commodity computers within practical time. Thus, I examined an SNN emulation method on field programmable gate array (FPGA) in this study and I designed its FPGA circuit emulating asynchronous spike propagation in SNN by using the clockless self-timed circuit (STC).

As a result of designing the SNN emulator for FPGA, the emulator has the possibilities that I am quicker in 10,000 times than time on SNN model. Since there is a tradeoff between its acceleration factor a and emulation time resolution dt , I formulated and identified it as $a = dt \times f_{ck}$ where f_{ck} denotes actual clock frequency of the synchronous part of the proposed emulator.

key words Spiking Neural Network(SNN), Self-Timed Circuit(STC)