

要 旨

セルフタイム型パイプラインにおける アダプティブパワーゲーティングの研究

松田 佳介

近年，LSI の低消費電力化の要求が益々高まっている．電力増加の主な原因は，素子の高速動作による動的電力の増大と，デバイスの微細化によるリーク電流の増大にある．本研究の目的は，LSI システムのリーク電流を可能な限り遮断する回路技術の確立にある．クロック信号が不要なセルフタイム型パイプライン (Self-Timed Pipeline) 回路の受動的かつ自律的動作を活用し，電源遮断を行いリーク電流を削減するパワーゲーティング (PowerGating) 技術をステージ単位で適用した細粒度のパワーゲーティング構成がすでに提案されている [2]．しかし，一般的にパワーゲーティングには，リーク電流削減量と付加回路に起因する電力オーバーヘッドのトレードオフがある．よって，リーク電流削減効果を最大化するには，その損益分岐条件 (Break Even-Time) を明らかにし，電力削減量と電力オーバーヘッドのバランスを考慮したパワーゲーティング粒度を設定する必要がある．

本稿では，セルフタイム型パイプライン回路における，パワーゲーティング対象回路の規模をリーク電流量に応じて適応的に変更する回路構成を提案する．そして，65nmCMOS による STP 回路に適用した場合について，リーク電力削減効果を示す．

キーワード アダプティブパワーゲーティング，セルフタイム型パイプライン，損益分岐条件

Abstract

A Study on Adaptive Power Gating for Self-Timed Pipeline

Keisuke Matsuda

Recently, the electric power consumption of system LSI s has increased rapidly. This is because the dynamic power consumption is increased due to high-speed switching while the standby (leak) power is consumed more due to the growth of micro-fabrication technology. The purpose of this study is in establishment of the circuit technology from which leakage current of a system is insulated as much as possible. The self-timed pipeline (STP) with the power gating (PG) is one of the promising techniques to reduce the leakage more aggressively and thus its fine-grained PG approach has been proposed recently. In the PG, it is important to maintain leakage energy reduced during the sleep time beyond energy overheads such as charge/discharge current during switching of the power switch transistors. However, if PG granularity is finer and the sleep time is shorter, a break-even sleep time (BET) might not be guaranteed.

In this study, an adaptive power gating circuit for the STP is proposed. The adaptive PG grains depending on the data flow rate in the STP are analyzed based on 65 nm CMOS process parameters. The result of reduced leakage power is reported and discussed.

key words Adaptive Power Gating , Break-even Time , Self-timed Pipeline