

# $\Delta\Sigma$ 変調器の設計の為のシミュレータの開発

## 橘研究室 1160002 青島 知道

### 1. 背景と目的

橘研究室では従来、チップを用いて  $\Delta\Sigma$  変調器の設計を行ってきた。その設計を行う上で、 $\Delta\Sigma$  変調器の積分器の特性（周波数、ゲイン、出力インピーダンス）や時定数、コンパレータの時間遅れなどをトランジスタレベルでシミュレーションするには時間がかかるという問題があった。

本研究の目的は LTSpice を用いた  $\Delta\Sigma$  変調器のシミュレータを設計することによって、チップ制作における  $\Delta\Sigma$  変調器の設計を簡便化することを目的とする。

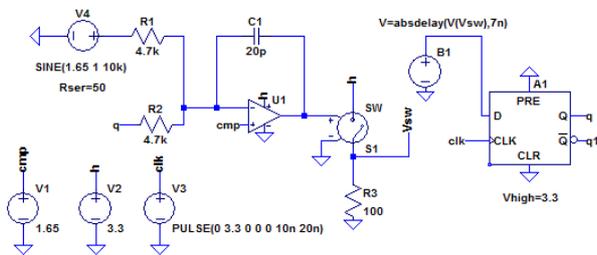
### 2. $\Delta\Sigma$ 変調器とは

$\Delta\Sigma$  変調はオーバーサンプリングとノイズシェーピングを特徴とする、アナログ信号や、多ビットで表現された信号などを1ビットに変換する手法の一つ。

### 3. 設計した $\Delta\Sigma$ 変調器

設計した1次  $\Delta\Sigma$  変調器の回路図を図1に示す。オペアンプとコンパレータをビヘイビアモデルを用いて設計し、任意の値に設定可能とした。

図1 1次  $\Delta\Sigma$  変調器の回路図



### 4. ビヘイビアモデル

SPICE では、理想 OP アンプは、電圧制御電圧源(VCVS)1個(と入力抵抗1個)で、コンパレータはスイッチ素子(と抵抗の分圧)で出来る。これにいくつかの素子を加え、任意に特性を変えて実験できるビヘイビアモデルを制作した。ビヘイビアモデルを用いて設計したオペアンプを図2に示す。

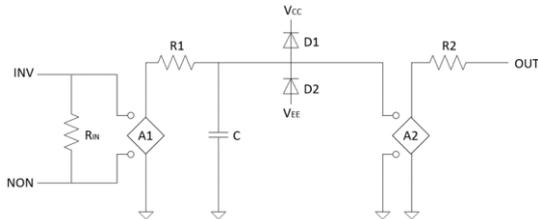


図2 ビヘイビアモデルを用いて設計したオペアンプ

表1 オペアンプ設定値

項目	設計値
R1	5K $\Omega$
R2	60 $\Omega$
A1	20K
A2	1
C	9nF
利得	86dB
Rn	1M $\Omega$

### 5. シミュレーション結果

図3、4、5にFFTのシミュレーション結果を示す。設計したビヘイビアモデルのコンパレータを使用し、それぞれ 0.01mV、0.1mV、1mV に設定しシミュレーションを行った。

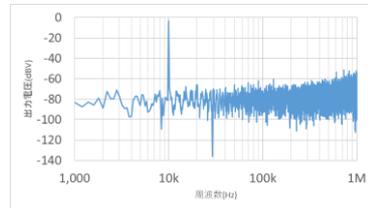


図3 ヒステリシス 0.1mV

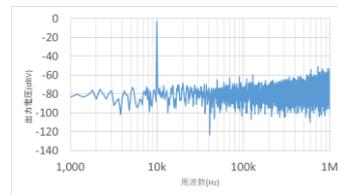


図4 ヒステリシス 1mV

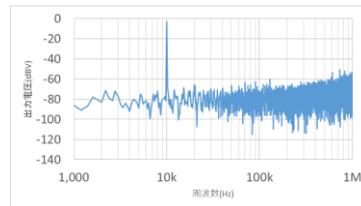


図5 ヒステリシス 5mV

表2 S/N 比

ヒステリシス	S/N 比
0.1mV	64.9dB
1mV	64.9dB
5mV	69.2dB

### 6. まとめ

ヒステリシスが 5mV のとき、比較的高い S/N 比となり、1mV 以下では低い値となった。この結果からノイズ成分は 5mV 以下の電圧を持つと考えられる。また、ヒステリシスを大きくすると、コンパレータの応答性は悪くなるため、今回設計した回路ではおよそ 5mV の値が適当と考えられる。