

大規模積和演算アクセラレータの設計

1170039 風谷 亮多(密山研究室)

1. はじめに

近年、機械学習をはじめとして膨大な演算量を必要とするアプリケーションが注目されており、それらの処理を効率的に処理する集積回路について広く研究が行われている。特に、膨大な積和演算の高効率実行が求められているが、GPUやFPGAでは消費電力や回路規模の面で課題がある。

積和演算や多項加算の高効率実現を目的として、カウンタを基本要素とする演算器の有効性が報告されている[1]。そこで本研究では、膨大な積和演算を効率的に処理するアクセラレータを提案し、65nmSOTBプロセスを用いてその回路設計を行った。

2. 提案アクセラレータの構成

提案アクセラレータ PCSA (Programmable Counter Slice Array) は、部分積生成、部分積加算、最終段加算で構成され、このうち部分積加算部をカウンタを基本要素とする回路で構成する。図1にPCSAの基本構成を示す。PCSAは部分積加算部ではカウンタを用いることで、大規模な多項加算演算を効率よく実行できるよう構成する。具体的には、入力数の異なる3種類のカウンタを縦列接続したC-Sliceをさらに3段接続(Stage-1~3)をさせることにより実現している。C-Sliceは、図2に示すように、カウンタの組み合わせにより4種類の構成が考えられる。C-Sliceの種類により、C-Sliceを多段接続する際の並列数が決まる。たとえば、Stage-2にCS-31を採用した場合、Stage-1にはStage-2の15倍のC-Slice数を接続することができる。

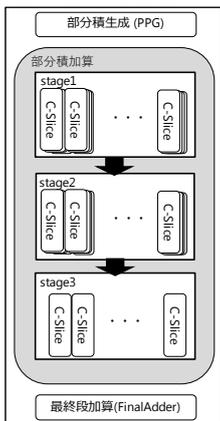


図1 PCSAの構成

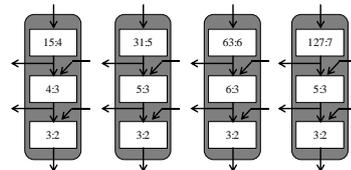


図2 C-Sliceの構成

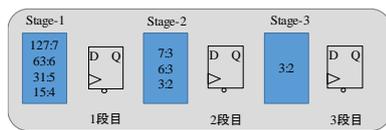


図3 C-Slice内FF配置位置

3. 実装と評価結果

提案アクセラレータのC-Sliceアレイ構成を検討するため、京大版65nmSOTBプロセスを用いて面積、電力評価を行う。評価は、Synopsis社の提供するDesignCompiler.ver_vL-2016.01-SP4を使用した。実験条件として32bit×32bitのMAC演算、Stage-2へのC-Slice接続数3、Stage-3へのC-Slice接続数2に固定し論理合成を行った。

まず、パイプラインFFの挿入箇所(図3)を決定するため、Stage-1:CS-31、Stage-2:CS-15、Stage-3:CS-15を用いた回路を対象に最大動作周波数を測定した。表1に示す実験結果から、最も動作周波数が大きくなる構成は、全段にFFを挿入した構成で、275MHzで動作する。一方、3段階のみFFを搭載した構成が最もPD積が低いため、本研究ではこのパイプライン構成を採用することとした。

次に、性能・消費電力効率の高いC-Slice構成を検討するため、動作周波数100MHzとして論理合成を行った。表2に回路面積と消費電力の評価結果をそれぞれ示す。評価結果より面積効率が最も優れている構成はCS-31/CS-31/31であるが、電力効率が最も優

れている構成はCS-31/CS-31/CS-15であることがわかった。また、カウンタサイズの大きいC-Sliceを用いた場合、面積効率も電力効率も大きく低下することが分かった。

表1 動作周波数評価結果

| パイプライン FF挿入箇所 | 最大周波数 [MHz] | 面積 [mm ²] | 消費電力 [uW] | PD積 |
|------------------|----------------|--------------------------|--------------|------|
| FF未搭載 | 75 | 126.82 | 33.66 | 4.49 |
| 3段階搭載 | 175 | 116.37 | 68.81 | 3.93 |
| 1,3段階搭載 | 250 | 117.03 | 102.09 | 4.08 |
| 全段搭載 | 275 | 122.43 | 124.60 | 4.53 |

表2 演算性能評価結果

| PCSA回路構成 | | | 最大積和 演算数 | 面積効率 | 電力効率 |
|----------|--------|--------|-------------|------|------|
| Stage1 | Stage2 | Stage3 | | | |
| CS-31 | CS-15 | CS-15 | 47 | 2.19 | 0.88 |
| CS-31 | CS-31 | CS-15 | 102 | 1.48 | 0.73 |
| CS-31 | CS-31 | CS-31 | 218 | 1.03 | 0.91 |
| CS-63 | CS-15 | CS-15 | 96 | 2.36 | 2.52 |
| CS-63 | CS-31 | CS-15 | 207 | 1.46 | 1.95 |
| CS-63 | CS-31 | CS-31 | 443 | 1.05 | 1.55 |
| CS-127 | CS-15 | CS-15 | 194 | 2.32 | 3.23 |
| CS-127 | CS-31 | CS-15 | 417 | 1.46 | 2.19 |

4. ハードウェア実装結果

提案アクセラレータのチップ試作を行った。3章の結果より、最も電力効率が高い構成はCS-31/CS-31/CS-31であるが、チップ面積の制約から、最も面積が小さく、電力効率は2番目に高かったCS-31/CS-15/CS-15の構成で試作回路を構成した。また、演算ビット幅は12ビットとし、一度に入力できる積算項数は108とした。パイプライン構成は3章で提案したものとした。オペランド生成にはLFSR(Liner feedback register)を用い、演算結果の検証にはCRCコードを用いた。試作回路の動作検証はFPGAボードを用いて行い、正しく動作することを確認した。

5. 結論

提案アクセラレータを65nmSOTBプロセスを用いて設計し、面積・電力効率の高い回路構成を検討した。また、チップ試作を行うとともに、FPGAを用いて動作検証を行った。今後は、試作チップから実測値を評価し、実測値に基づいて、さらなる改良点について検討する。

6. 参考文献

[1] A. Cevrero, P. Athanasopoulos, H. Parandeh-Afshar, A.K. Verma, H.S.A. Niaki, C. Nicopoulos, F.K. Gurkaynak, P. Brisk, Y. Leblebici, and P. Ienne, "Field Programmable Compressor Trees: Acceleration of Multi-Input Addition on FPGAs", ACM Trans. Reconfigurable Technology Systems, vol. 2, pp. 13:1-13:36, June 2009.