

ΔΣ変調器シミュレーション環境の開発

橋研究室 1170081 高木雅矢

1. 背景と目的

近年の電子回路の進歩の中で、アナログ回路とデジタル回路の融合がなくてはならない存在になっている。ΔΣ変調器はアナログとデジタルを繋ぐ架け橋であり、大規模集積回路 LSI の発展にはΔΣ変調器の進歩が重要となってくる。本研究では、ΔΣ変調器のシミュレーション環境の開発であり、現在の環境より簡単化とシミュレーション時間の短縮化を目標とする。

2. 研究内容

本研究では、リニアテクノロジー社のフリーソフト LTspice を用いて設計を行った。先行研究の 1 次 ΔΣ 変調器をコンパレータ型と SW 型の 2 パターンと 2 次 ΔΣ 変調器の計 3 パターンを LTspice 内のモデル LT1807 と制作したオペアンプのビヘイビアモデルで解析時間、オペアンプ利得、ユニティゲイン周波数、時定数を変化させてシミュレーションを行い FFT 結果でのノイズシェーピングを確認した。

3. シミュレーションした ΔΣ 変調器

シミュレーション回路を図 1、図 2、図 3 で示す。

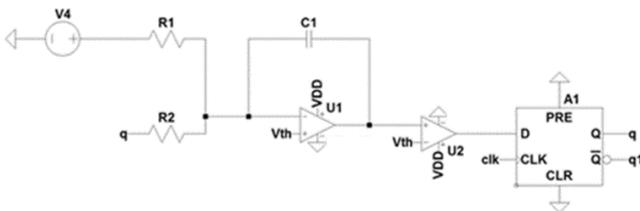


図 1 1 次 ΔΣ 変調器 コンパレータ型

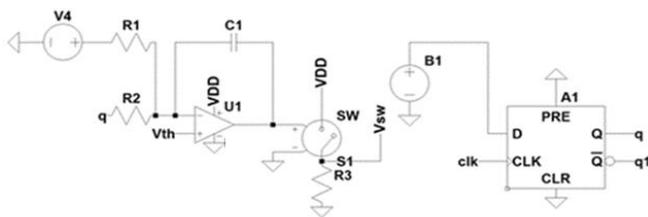


図 2 1 次 ΔΣ 変調器 SW 型

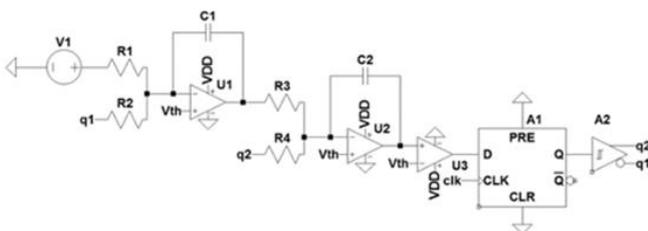


図 3 2 次 ΔΣ 変調器

4. オペアンプのビヘイビアモデル

LTspice では備え付けのモデルもあるがオペアンプの特性を変化させシミュレーションを行いたいため、電源制御電圧 (VCVS) 1 個と入力抵抗 1 個、多少の素子を加えることで理想のオペアンプを制作した。また、このアンプを図 4 で示す。

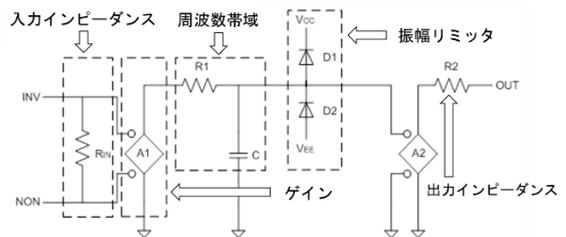


図 5 オペアンプのビヘイビアモデル

5. シミュレーション結果

先行研究の CLK を 10MHz に変更し、解析時間を 2mS とした場合に最も良いノイズシェーピングが確認でき、変更後の状態で条件を変更し評価を行った。図 6、図 7 に測定結果を示す。

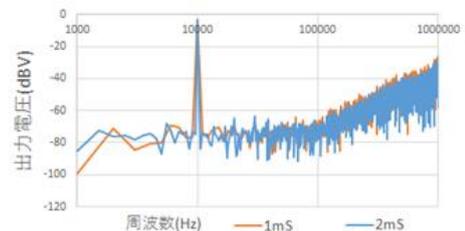


図 6 2 次 ΔΣ 変調器 解析時間 1mS、2mS

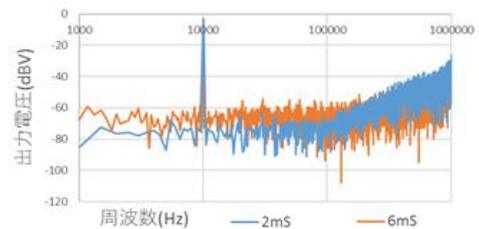


図 7 2 次 ΔΣ 変調器 解析時間 2mS、6mS

6. まとめ

本研究は ΔΣ 変調シミュレータでの CLK、解析時間を変更させることで変化を測定し最適な理想値を求めた。オペアンプの利得、ユニティゲイン周波数、ΔΣ 変調器の時定数を変更し測定した結果、先行研究の S/N 比を超えることはできなかったが、より良いノイズシェーピングを得ることが出来た。