

# 要 旨

## 画像処理向きストリーム駆動プロセッサ

### SDP-i とその Hough 変換への応用

田原 匡浩

近年, IoT(Internet of Things) の普及に伴い, 様々な用途に実時間画像認識システムが導入されている. 認識精度向上のため, 高フレームレート化や高精細化, アルゴリズムの高度化が進んでおり, 計算量が増加傾向にある. そのため, 画像処理専用プロセッサで高速処理する必要性が高まっている. また, 本研究室では, 大規模なデータ構造 (ベクタ, 行列) を効率よく処理可能なストリームフロープログラミング (SFP : Stream-Flow Programming) モデル, 及び, SFP モデルのハードウェア実装であるストリーム駆動プロセッサ (SDP : Stream-Driven Processor) の研究を行っている. SDP は, オペランドデータのストリームを生成・吸収する Stream Memory (SMem) と, 要素単位でストリームを操作するデータ駆動プロセッサ (DDP : Data-Driven Processor) で構成される.

本研究では, 画像処理向きストリーム駆動プロセッサ (SDP-i : SDP for Image Processing) のプロセッサコアである DDP アーキテクチャを提案する. 提案アーキテクチャでは, 演算のスループットを向上させるために, DDP 内の拡張パイプライン型演算器アレイの各ステージに並列化した ALU ユニット, またはスカラデータメモリを導入する. また, オペランドのシャッフル, コピーなどの新しい命令を追加し, 2つの 32 ビットオペランドを含むパケット形式を定義する. 提案した DDP アーキテクチャを 65nm CMOS セルライブラリを用いて論理合成, 評価を行った. その結果, Hough 変換は, dual DDP の 1つのコアで  $\rho-\theta$  空間への変換が, もう一方のコアで投票処理がリアルタイムに実行できることを確認した.

**キーワード** データ/ストリーム駆動プロセッサ, パイプライン型演算器アレイ, 並列処理

# Abstract

## Stream-Driven Processor for Image Processing “SDP-i” and its Application to Hough Transform

Masahiro TABARA

With the diverse spread of Internet of Things (IoT) technology, real time image recognition has been introduced into various application systems. In order to improve the recognition accuracy, higher frame rate, higher definition, and more advanced algorithm are progressing and its computational complexity thus tends to increase. This trends demand high-performance processor dedicated to image processing in place of general-purpose processors. Therefore, our laboratory has studied a stream flow programming (SFP) model that can efficiently process large-scale data structures (vectors, matrices), and a stream-driven processor (SDP) which is a hardware implementation of the SFP model. The SDP is composed of a stream memory (SMEM) producing/consuming streams of operand data and a data-driven processor (DDP) operating streams in element-by-element.

In this paper, we propose a DDP architecture of SDP for image processing (SDP-i). In the proposed architecture, we introduce a pair of ALU units or a scaler data memory into every stage of the FPararray in the DDP in order to improve throughput of operations in the DDP. For this architecture, we additionally adopt some of new instructions such as shuffle or copy of operands and define a new packet format including two pairs of 32 bit operands. After that, we conducted post-synthesis evaluation of the proposed DDP architecture by using 65 nm CMOS cell library. As a result, we verified that

Hough transform can be executed in real time on dual DDP's, where the transform to the rho-theta space is executed on one DDP core and the voting process is done on the other core.

***key words***     Data/Stream-Driven processor, Pipelined array of FP's, LUT and DMem, Parallel Processing