

高位合成系による人検出処理のFPGA実装

1180088 高野 雅之 (集積システム研究室)

(指導教員 密山 幸男 准教授)

1. はじめに

高位合成 (High Level Synthesis: HLS) を用いたハードウェア設計は、動作レベル記述に制約条件を与えることで性能や回路規模などを最適化できるため、ソフトウェア技術者でもFPGA設計が可能になりつつある。一方で、より優れた回路を得るためには回路構成を意識した設計が不可欠である。本稿では、HOG (Histograms of Oriented Gradients) [1] を特徴量として用いた SVM (Support Vector Machine) [2] による人検出処理を対象として、高位合成系によるFPGA実装を行った。また、浮動小数点型から固定小数点型への変更を行い回路規模の削減を、回路並列化により処理時間の削減を行い、人検出システムの最適化を行った。

2. HOG 特徴量を用いた SVM による人検出

2.1 HOG 特徴量

HOG とは、局所領域における輝度の勾配方向と強度をヒストグラム化したものである。算出した輝度情報の勾配方向と強度をセル毎にヒストグラム化し、ブロック毎に正規化し、画像認識処理等において特徴量として扱う。

2.2 SVM

SVM は教師あり学習のひとつで、2クラス分類の代表的手法である。マージン最大化の概念に基づいた分類超平面を求めることで2クラス分類を実現する。SVM は未知のデータに対して分類精度が高いことが特徴である。

3. 人検出システムの最適化

3.1 固定小数点型への変更

浮動小数点型と比較して、固定小数点型では回路リソースの削減、消費電力の削減、レイテンシの短縮などの利点がある。また、固定小数点型を使用する際、整数部と小数部のビット幅を適切に設定することで、回路規模の最適化が可能である。

本研究では、まず浮動小数点型で作成したプログラムから使用するメモリに代入される数値の整数部と小数部のビット幅を求めた。得られた情報を基にメモリ毎に適切なビット幅を設定した固定小数点型に書き換え、回路規模の削減と処理時間の短縮を試みた。

3.2 回路並列化

回路を並列化することにより高速化が可能であるが、一方でメモリアクセスについての検討が重要になる。メモリを並列化することなく、メモリ分割による実現が可能である場合でも、FPGA実装の場合はメモリ使用量が增大することがあるためである。ターゲットデバイスに依存するが、BRAMはビット幅およびワード数が固定であるため、分割実装の仕方によってはメモリの使用数は増加することもある。

本研究では、最も簡単に適用できる最適化として、SVMにおける内積計算に用いる HOG 特徴量格納メモリを勾配方向別 (9 方向) に分割し、重み係数メモリを9つに複製することで、SVM 処理における内積計算を9並列化した。

4. 実装結果

Xilinx 社 Zynq-7000 (XC7Z020) をターゲットデバイスとし、動作周波数を 100MHz に設定した場合の浮動小数点型と固定小数点型で作成した人検出プログラムを Xilinx 社 Vivado HLS を用いて高位合成を行った。作成した人検出システムのブロック図を図1に示す。

高位合成の結果、表1に示すように、固定小数点型への変

更によって BRAM_18K を 57.14%、DSP48E を 12.50% のリソース削減を行うことができた。また、重み係数メモリとヒストグラムメモリの分割複製により積和演算回路の並列化を行った結果、表2および表3に示すようにリソース使用量 (特に DSP48E) は大きくなったが、SVM 処理部のレイテンシ (サイクル数) を 97.68%削減することができた。

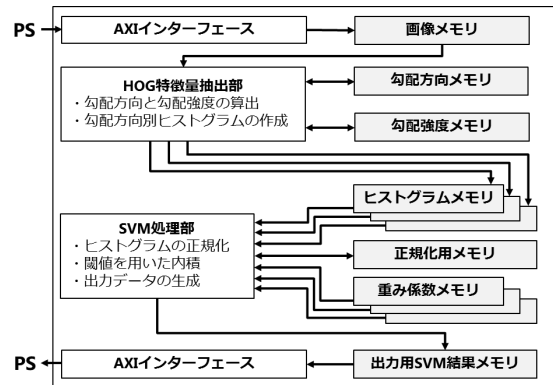


図1 HOG_SVM (並列化後) のブロック図

表1 浮動小数点型と固定小数点型の高位合成結果

	浮動小数点型	固定小数点型	変化率
BRAM_18K	294	126	-57.14%
DSP48E	16	14	-12.50%
FF	9,225	11,038	19.65%
LUT	14,784	16,639	12.55%

表2 並列化前後の高位合成結果

	並列化前	並列化後	変化率
BRAM_18K	126	133	5.56%
DSP48E	14	30	114.29%
FF	11,038	12,559	13.78%
LUT	16,639	18,643	12.04%

表3 並列化前後のレイテンシ (clock cycle)

処理内容	並列化前	並列化後	変化率
勾配方向、強度	49,156	49,156	0.00%
ヒストグラム作成	8,515,255	7,874,359	-7.53%
SVM、正規化	125,652	2,916	-97.68%
全体	8,051,087	7,925,431	-1.56%

5. まとめ

HOG を特徴量として用いた SVM による人検出処理を対象として、高位合成系によるFPGA実装を行った。また、浮動小数点型から固定小数点型への変更でビット幅の最適化による回路規模の削減と、回路並列化による処理時間の削減により、人検出処理システムの最適化実装を行った。

参考文献

- [1] N. Dalal and B. Triggs, "Histograms of oriented gradients for human detection," in Proc. CVPR 2005, vol. 1, pp. 886-893, June 2005.
- [2] C. Cortes and V. Vapnik, "Support-vector networks," Machine learning, vol. 20, no. 3, pp.273-297, Sept. 1995.