

データ駆動型プロセッサにおける余裕時間ベーススケジューリング回路の検討

1180394 和田 悠伸 【 コンピュータ構成学研究室 】

1 はじめに

近年の組込みシステムは、高機能化・高性能化の要求が高まり、リアルタイム性とマルチコア化の両立が求められている。タスクの優先度に基づく動的スケジューリング方式には、EDF(Earliest Deadline First) と LST(Least Slack Time) スケジューリングが代表的である [1]。前者は、マルチコア上でのデッドラインミスを予測できない欠点がある。一方後者は、デッドラインまでの余裕時間をタスク実行時間から算出するため、マルチコア上でもデッドラインミスを起こさずスケジューリングが可能である。しかし、余裕時間が近いタスクが複数存在する場合、タスクを頻繁に切り替えるスラッシングが発生し、オーバーヘッドが増える恐れがある。

本研究では、複数タスクの多重処理によるスラッシングを緩和できるデータ駆動型プロセッサ DDP[2] に着目し、マルチコア化に向けて DDP シングルコアに搭載可能な余裕時間ベーススケジューリング回路を提案する。

2 LST 機構を搭載した DDP

DDP は複数タスクの多重処理が可能のため処理負荷が限界を超えない限りスケジューリングが本来不要である。しかし、その限界を超えるタスク要求が発生する場合にはスケジューリングが必要となる。DDP における EDF 機構は先行研究で提案されており、DDP 内の処理負荷を観測する回路と各タスクの優先度に基づいてタスクを中断・再開する回路によって実現されている [2]。

LST の場合、余裕時間はデッドライン時刻から現時刻と残りの実行時間を差し引いた値で定義される。よって、先行研究の回路に加え余裕時間を計算する回路と、DDP 内でタスクに属するパケットがの中断、再開する回路に到着するたびに余裕時間を更新する回路が必要である。さらに、余裕時間の更新に要する回路を最小化するために、パケットヘッダに保持する情報と回路内に記憶する情報を最適化することが重要となる。

3 提案回路の構成

LST 機構を搭載した DDP の構成を図 1 に示す。タスクの実行要求時の余裕時間の計算を入力部の Slack Time Calculator(STC) 回路で行う。DDP 内では Load Monitor(LM) で DDP 内を周回するパケット数をカウントすることで処理負荷の観測を行う。Task Queue(TQ) 回路では観測された処理負荷を考慮して LST スケジューリングを行う。TQ 回路の構成を図 2 に示す。TQ 回路は主に余裕時間の更新と低優先度タスクに属するパケットを退避するための Priority Queue で構成した。

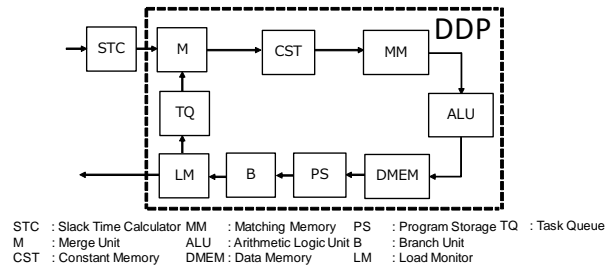


図 1 LST 機構を搭載した DDP の構成

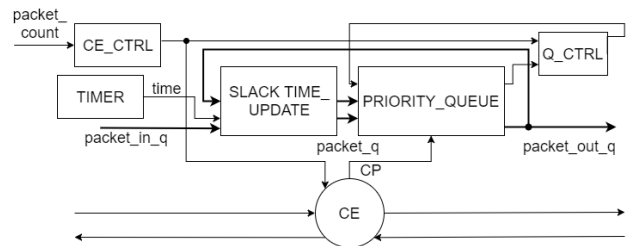


図 2 Task Queue(TQ) 回路の構成

4 評価内容・まとめ

LST 機構を搭載した DDP を 65nmCMOS 標準セルライブラリを用いて設計した。メモリを除く DDP のロジックの回路面積は $0.295mm^2$ となり、EDF 機構を搭載した DDP の 1.13 倍となった。また、データ依存のある演算 20 命令からなるタスク (単独実行時間 5283ns) 5 つを連続的に起動し、タスクスイッチ回数と実行完了時間を計測した結果を表 1 に示す。この表から、DDP の多重処理能力により、スラッシング回数とそのオーバーヘッドが緩和可能なことが判る。今後の課題として DDP の使用率等、より詳細な性能を評価する必要がある。

表 1 タスクスイッチ回数と実行完了時間の比較

| スケジューリング | EDF[2] | | LST(提案) | |
|-------------|--------|-------|---------|------|
| 多重処理可能数 | 1 | 4 | 1 | 4 |
| タスクスイッチ | 4 | 1 | 87 | 17 |
| 実行完了時間 (ns) | 25135 | 10203 | 25135 | 7472 |

参考文献

- [1] K. Ramamritham, et al., "Efficient scheduling algorithms for real time multiprocessor systems," IEEE TPDS, vol. 1, no. 2, pp. 184–194, Apr. 1990.
- [2] K. Fukuda, et al., "Priority-Based Hardware Scheduler for Self-Timed Data-Driven Processor," PDPTA'17, pp.245–251, July 2017.