

データ駆動型センサハブを用いた IoT 向け SoC に関する研究

1205081 渋谷 広樹 【 コンピュータ構成学研究室 】

A Study on IoT SoC integrated with Data-Driven Sensor Hub

1205081 Hiroki SHIBUTA 【 Advanced Computer Engineering Lab. 】

1 はじめに

近年の IoT (Internet of Things) 技術の普及とともに、クラウドとエッジ (辺縁部) で負荷分散を行うエッジコンピューティングが各所で研究されている [1]。この各エッジ部においては、SoC の性能向上が求められている。一般的にエッジは、複数のセンサデータを統合するセンサハブ、アプリケーションプロセッサ (AP)、通信モジュールから主に構成される。

センサハブは、センサとの通信処理を担い、AP がセンサデータを常時受信する必要がなくなり、高性能かつ高消費電力な AP の稼働時間を低減できる。しかし、一般的なセンサハブはノイマン型プロセッサであるため、データの到着毎に割り込み処理を必要とし、データの退避や復帰が頻繁に繰り返される。また、多数のデバイスと接続されデータの I/O の発生頻度が増加すればする程、処理時間や消費電力の浪費が増大する。

本研究では、割り込み処理等の I/O オーバヘッドを削減するため、データの到着をトリガとして動作が可能なデータ駆動型プロセッサ DDP (Data-Driven Processor) [2] を応用したデータ駆動型センサハブ DDSH (Data-Driven Sensor Hub) [3] のアーキテクチャを提案し、DDSH が IoT 向け SoC として有効であることを明らかにする。

2 DDSH の構成

DDSH は図 1 のように、多種多様なセンサや AP と接続可能にする I/F、複数のセンサデータを統合してより高度な情報を生成するセンサフュージョンの処理も実行するための DDSH コアから構成される。DDSH は基本的に AP から発行された命令に従い、センサデータを取得し、センサフュージョンなどの処理を施して AP へと送信する。以下、本章では、DDP をベースとしたコアアーキテクチャと、シリアルバス通信を可能とした DDSH の I/F について述べる。

2.1 コアアーキテクチャ

DDP はデータ駆動原理に基づき動作するため、割り込み処理なしにデータの到着でパイプライン処理を開始できる。しかし、DDP は特定のフォーマットに対しパイプライン処理を施すため、多種多様なデバイスのデータフォーマットと DDP のフォーマット

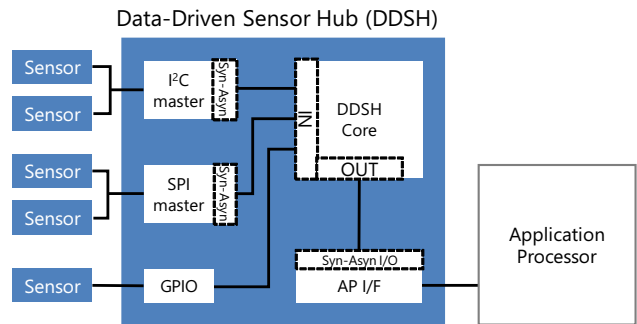


図 1 データ駆動型センサハブ回路

マットを相互変換する必要がある。

DDSH コアは図 2 のように構成され、入力機構 IN と出力機構 OUT は、外部機器と DDP のデータの相互変換のために追加したモジュールである。入力機構は、各入力データを DDP のフォーマットに準拠させるため、図 3 のように構成した。各入力データの到着次第、センサデータにはセンサの識別番号 color とデータの順番 (世代) gen を付加し、I/O PS から残りのヘッダ情報を読みだすことで、DDP で多重に処理可能なパケットを作成することができる。出力機構 OUT では、データメモリ (DMEM) から読み出したアドレスを元に、外部機器などに出力するためのデータの経路選択を行う。

また、センサハブはセンサフュージョンのような複数センサを統合する処理が多用されるため、多対一の構成となる。しかし、DDP は複数デバイスとの通信を想

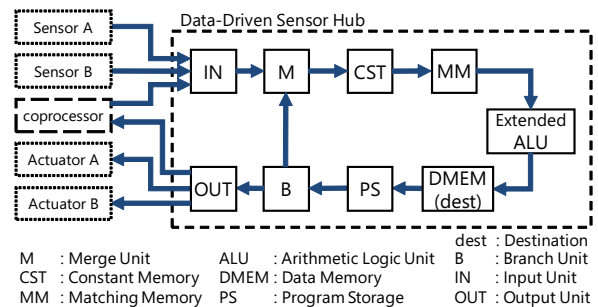


図 2 DDSH コアの構成

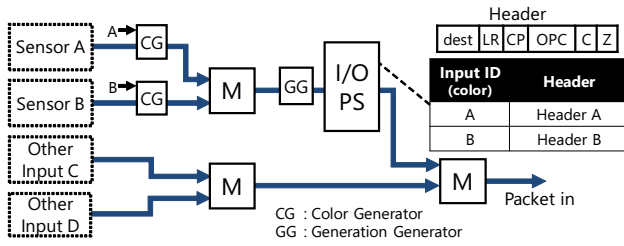


図 3 入力機構 IN の構成

定しておらず、複数デバイスを統合した処理が不可能であった。そのため、デバイスの識別子を変更できるように、ALU を拡張した。

また、センサハブではデータの出力時に処理結果に応じて出力先を変化させることがある。従来の DDP では、その処理に複数命令必要であり、処理時間の増加が問題であった。そこで、ALU を拡張し、データメモリに格納された出力先アドレス (dest) を参照して、DMEM アドレスを条件フラグで切り替える命令などを追加した。

2.2 DDSH インターフェース (I/F)

DDSH コアの入力機構は、接続するデバイスが増加すると、図 3 内の M ステージが増加してしまい、回路面積と遅延時間が増加する。そこで、2, 3 本の配線のみで、多くのデバイスを接続可能なバスを使った I/F を採用することとした。

しかし、DDSH コアの I/F はセルフタイム型パイプライン (STP) [2] であり、一般的な回路で導入されるクロック信号と非同期に動作する。そのため、クロック同期に動作する I²C や SPI 等のバス I/F と接続すると回路的なタイミング違反を起こす恐れがある。そこで、タイミング違反の発生しにくい DFF を採用し、シリアルバスと通信可能な I/F を設計した。

また、センサハブは AP から発行された命令を実行し、センサからデータを収集、AP へデータを転送する、という動作が基本となるため、AP 用 I/F も搭載する必要がある。AP とセンサハブは一般的にはバス I/F で接続されるため、AP I/F は STP と AP のバスプロトコルを変換可能であり、タイミング違反を起こさない I/F を設計した。

3 評価

提案回路を 65nm CMOS 標準セルライブラリを用いて設計・論理合成を行い、両回路を比較した。その結果を表 1 に示す。提案回路の総論理セル数は、7.7k 個 (面積: 0.0359mm²) となり、I/O のモジュールは全体の約 20% であった。DDSH の合計面積は、ARM Coretex-M0+ を搭載した Atmel 社の SAM D20 の面積が 0.04mm² であることから、一般的なセンサハブと同等かそれ以下の面積である。

DDSH の性能評価のため、現実的な IoT システムを

表 1 DDSH の回路コスト/面積

	core	I/O	total
standard cells	6.2k	1.5k	7.7k
area [mm ²]	0.0287	0.0072	0.0359

想定して評価条件を設定した。センサから 2.5Mbps のデータが得られ、そのデータを 1.0Mbps まで圧縮できることを十分条件とし、AP は IoT システムで多用される ARM プロセッサを想定した。

また、I/O オーバヘッドの影響を顕著に確認でき、最大処理性能近辺の処理負荷が発生するタスクとして、CMOS カメラから得られた画像に対して、バイリニア法で 1 フレームの画像を 1/4 に縮小する処理によって性能評価を行った。比較対象としては、割り込みによって通信開始し、DMA でデータを取得する ARM 社の Coretex-M0+ を対象とした。動画のフレームレートを変化させ、処理限界の合計画素数の比較結果が表 2 のようになり、フレームレートが 30fps から 120fps の時、Cortex-M0+ の約 50 倍の性能を達成することが確認できた。

表 2 画像縮小を伴う CMOS センサハブ機能の性能比較

フレームレート	DDSH	ARM Cortex-M0+
30fps	158,730	3,185
60fps	79,365	1,590
120fps	39,682	793

※評価条件：30MHz 動作、フレームバッファを想定
 ※評価指標：処理可能な最大フレームサイズ [画素/フレーム]

4 おわりに

本研究では、データ駆動型センサハブを用いた IoT 向け SoC を検討した。65nm CMOS 標準セルライブラリによる回路設計により、一般的なノイマン型センサハブより I/O が頻繁に発生するアプリケーションでは高性能であることが確認できた。今後は、AP I/F をバースト転送などの高速なデータ転送を可能とした通信にも対応するためには機能拡張が求められる。

参考文献

- [1] Li Da Xu, et al., "Internet of Things in Industries: A Survey," IEEE Trans. Industrial Informatics, Vol. 10, No. 4, Nov. 2014.
- [2] H. Terada, et al., "DDMP's: Self-Timed Super-Pipelined Data-Driven Multimedia Processors," Proc. IEEE, Vol. 87, No. 2, pp. 282-296, Feb. 1999.
- [3] H. Shibuta and M. Iwata, "Self-Timed I/O Architecture of Data-Driven Sensor Hub," Proc. of the 2016 Int'l Conf. on PDPTA, pp.323-328, July 2016.