

CMOS アナログ回路設計のためのパラメータ計算システムの開発

Development of Device Parameter Calculation System for CMOS Analog Circuit Design

1190007 家木 雄志 (回路工学研究室)
(指導教員 橘 昌良 教授)

1. はじめに

現在、LSI (Large Scale Integrated circuit) の微細化、低電圧化により MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) の実用サイズでの電圧、電流などの各種パラメータ値は今までの 2 乗特性の式による計算ではずれが生じる。加えて研究室では今までパラメータ値をあまり重視しないで回路設計を行っていたために、回路設計に利用できるパラメータ計算システムを開発しようと考えた。

2. gm、λのシミュレーション

パラメータ計算で重要になってくる利得の感度である gm、λ のシミュレーション結果の一部を図 2～図 5 に示す。図 1 には今回のシミュレーションに用いた回路を示す。図 2 は n チャネル MOSFET 回路と p チャネル MOSFET 回路のどちらにも VDD に 1.8V になるまで 0.1mV ずつ電圧を印加し VIN に 1.8V を印加して得た ID-VGS 特性から gm を計算した。また、図 4 には逆に VDD の電圧を 1.8V に固定して VIN に 0.1mV～1.8V を印加して得た ID-VDS 特性から λ を計算した。ゲート幅/ゲート長 (W/L) の設定は図 2～5 すべて 1.8μm/180nm である。gm は n も p も飽和前の変化が完全な比例関係であるとはいえない結果が出た。また、λ も n の方に 1 部一様な変化とは言えないものが見られた。

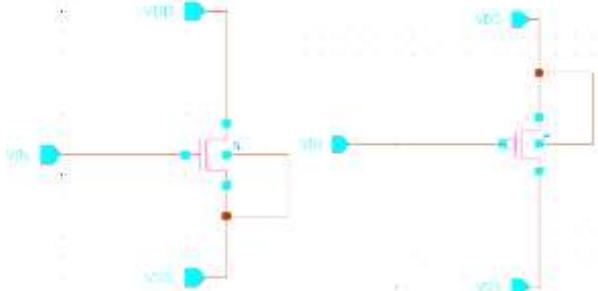


図 1 n チャネル MOSFET (左) と p チャネル MOSFET (右)

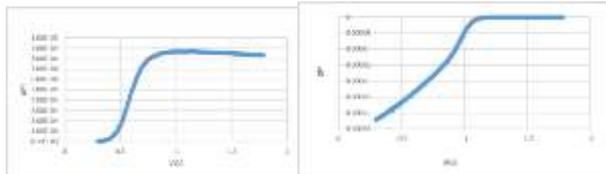


図 2 gm のシミュレーション結果 (左 n/右 p)

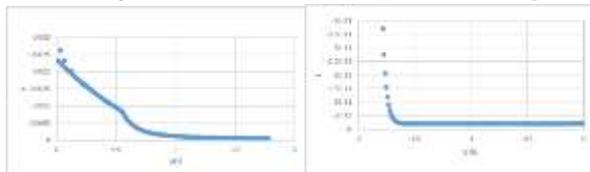


図 3 λ のシミュレーション結果 (左 n/右 p)

3. パラメータ計算

基本的な CMOS 動作増幅回路を例にパラメータ計算について説明する。図 4 は基本的な動作増幅回路である。この回路を動作させるには式 (1)～式 (3) が絶対条件になってくるために、このような回路では設計前にパラメータ値の目標値が必要になってくる。そのために、今回計算した gm や λ を基準にして動作させたい値の VDS、VGS、ID の値を求めて計算できるようなシステムを作る。

$$V_{DS} > V_{dsat} \quad (1)$$

$$V_{GS} = V_T + \Delta_{ov} \quad (2)$$

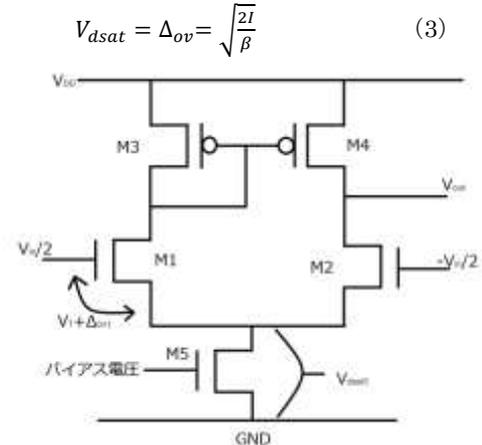


図 4 n チャネル MOSFET 入力段の差動増幅回路

4. 提出チップの測定

図 5 は今回提出したチップのレイアウトである。今回提出したのはゲート長 L が 180nm、360nm、540nm の時のゲート幅 W を L の 10 倍、20 倍、30 倍にしたものの 9 個の回路を実装した。しかし、測定した結果、図 6 の L180nm、W1.8μm の組み合わせの時の ID-VGS グラフのように電流の値が一樣な結果が出てしまい、うまく実測することができなかった。

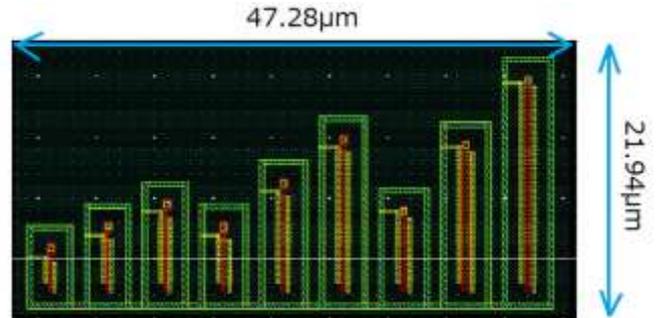


図 5 実装チップのレイアウト

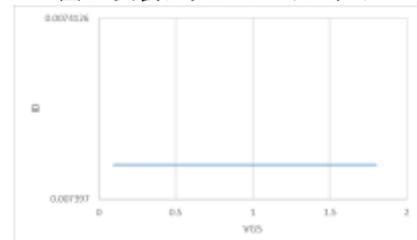


図 6 実装チップの計測結果 (L180nm/W1.8μm)

5. まとめ

gm、λ はうまくシミュレーションから計算することができた。実測値がうまく取れなかったため、回路の再検討、実測のやり直しをする。パラメータ計算システムを作るには設定内容を変更してもっと多くのデータが必要である。