

IoT 向きデータ駆動型プロセッサの FPGA 実装法

1190347 長野 寛司 【 コンピュータ構成学研究室 】

1 はじめに

データ駆動型プロセッサ DDP (Data-Driven Processor) は多様なセンサ等から到着する異なるデータ流を多重に並列処理可能であり、演算に必要な回路のみ動作する [1] という省電力性から、IoT (Internet of Things) エッジ機器用アーキテクチャとして有望視されている。一方で、IoT 機器の多様化に伴って、短期間で開発が可能な FPGA 上でのコンパクトな実装が要請されている。

本研究では、DDP のマイクロアーキテクチャならびに FPGA 実装の両面から最適化の方策を検討した。

2 DDP の最適化の方針

DDP は、セルフタイム型パイプライン STP (Self-timed Pipeline) を環状に接続して構成されるため、各パイプライン段の回路遅延時間の平滑化がスループット性能向上の要となる。よって、本研究では、従来 DDP [2] で最も遅延時間が長いとされていた待合せ記憶部 MM (Matching Memory) のパイプライン分割を検討した。さらに、各パイプライン段の遅延時間に応じて、STP の転送制御信号を授受するために、適切な量の遅延回路 (LCELL) を挿入する必要がある。しかし、現在の商用 FPGA は、同期回路に最適化されており、非同期回路用の遅延回路の最適化が困難である。よって、本研究では、擬似的に各パイプライン段を同期回路に変換し、そのクリティカルパス遅延から最適な転送制御信号伝搬時間 T_d を導出して、適切な遅延回路を設計する手法を提案する。

3 最適化方法

従来の待合せ記憶部 MM では、二項演算のオペランド組を検出するために、入力オペランドのタグをキーとして、連想記憶 (CAM) にアクセスする。相手オペランドが未到着の場合には、連想記憶に追加されていた。しかし、連想記憶内に全情報が保存され、回路コストの無駄とアクセス遅延が発生していた。よって、連想処理部と通常メモリ (RAM) アクセス部の 2 ステージに分割し、回路規模削減と遅延時間短縮を両立させた。

STP の転送制御信号伝搬時間の最適化手順を以下に示す。

- (1) 各ステージのロジックと入力側の DL (Data Latch) を組にして 1 つのステージとする。
- (2) FPGA に各ステージの配置・配線される範囲が、他のステージと重ならないように設定し、合成する。
- (3) 合成後の各ステージの範囲と位置を固定する。
- (4) クリティカルパス遅延を求めるステージと後段ステージの DL のみを一時的に (仮) 合成する。

(5) DL の制御を転送制御信号ではなく、クロックによる制御に変更して同期回路化する。

(6) 再度合成を行い、クリティカルパス遅延を求める。

(7) 適切な遅延時間 T_d を有する遅延回路を挿入して、最終的に合成する。

4 評価

提案した最適化を施して、Intel 社 MAX10 用に DDP を配置・配線した結果を図 1 に示す。本評価では、Intel 社 FPGA 用設計ツール Quartus Prime Standard Edition 18.0 を用いた。また、提案 DDP と従来 DDP の性能および回路コストの比較を表 1 に示す。入力を 16bit データとし、MM 内の連想記憶のエントリ数を 64 とした。MM の遅延、LE (Logic Element) 数、レジスタ数が改善できたが、一方で、インクリメンタル配置・配線の結果、エリア当たりの LE 利用率は 75% から 53% に減少したため、今後さらなる最適化を検討したい。

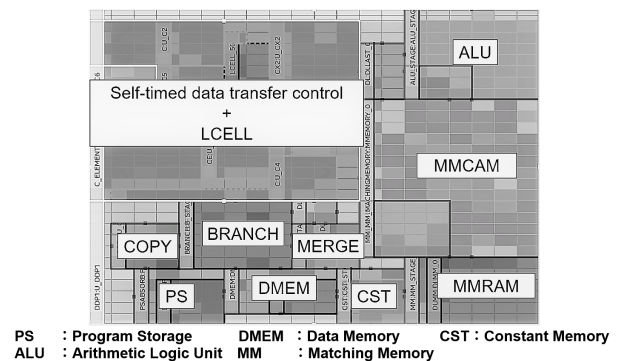


図 1 提案 DDP の FPGA 配置・配線結果

表 1 提案 DDP と従来 DDP の FPGA 実装結果比較

	提案 DDP	従来 DDP
MM 遅延 [nsec]	15.1	16.7
LE [個]	4,394	5,415
レジスタ [個]	1,216	2,517
メモリ [bit]	19,488	17,984

参考文献

- [1] H. Terada, et al., "DDMP's: Self-Timed Super-Pipelined Data-Driven Multimedia Processors," Proc. IEEE, Vol. 87, No. 2, pp. 282–296, Feb. 1999.
- [2] K. Fukuda, et al., "Instruction-Set- and Micro-Architecture Design of IoT-Oriented Data-Driven Processor: pico-DDP," IDHF 2016, Oct. 2016.