バンドギャップ基準電源回路を対象とした BIST 手法に関する研究
Design and Evaluation of BIST Scheme for Band Gap Reference Circuit

1225062　猪岡 柚香　（回路工学研究室）
（指導教員　橘　昌良 教授）

1　はじめに

近年 LSI（Large Scale Integration）の集積度増加に伴った LSI テストコストの上昇が大きな課題となっている．その解決方法として，テスト容易化設計（DFT : Design For Testability）の代表的な手法の一つが組み込み自己テスト（BIST : Built-In Self-Test）が挙げられる．しかし，アナログ LSI を対象とした BIST には様々な課題が残っており，実用化の例は少ない．そこで本研究では，ミックストシグナル LSI でよく用いられる参照電源電圧一つである BGR（Band-Gap Reference）回路をテスト対象回路（CUT : Circuit Under Test）とし，BGR 回路内の MOSFET のカタストロフィック故障（端子のオープン・ショートといった単純故障）の検出をおこなう BIST の設計を目的とした．

本研究での回路設計は Rohm0.18μm テクノロジで行い，チップ試作も Rohm0.18μm プロセスでおこなわれた．

2　BGR 回路

本研究で設計した CUT である BGR 回路を図 1 に示す．この BGR の 18 個の MOSFET における（a）GDS（Gate-Drain Short），(b) GSS（Gate-Source Short），(c) DSS（Drain-Source Short），（d）DO（Drain Open），（e）SO（Source Open），（f）GO（Gate Open）の 6 通りのカタストロフィック故障を BIST の故障検出対象とした．

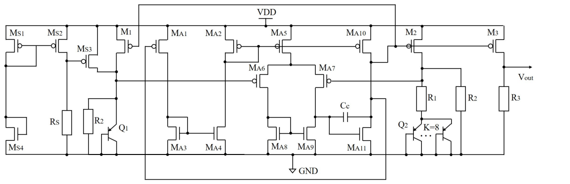

図 1　BGR 回路

3　提案 BIST 機能を持つ BGR 回路

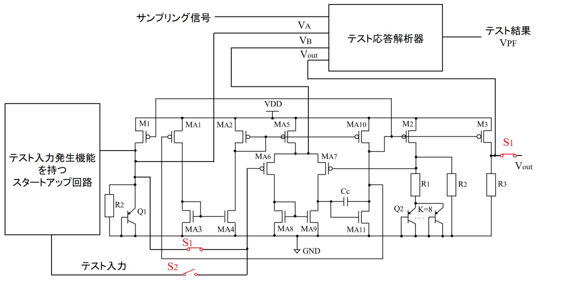

図 2　提案 BIST 回路

図 2 に提案 BIST 回路を示す．提案 BIST は，外部信号で制御できるスイッチ S_1 と S_2 を搭載しており，S_1 が ON のときに通常動作モード，S_2 が ON のときにテストモードと必要に応じてモードを切り替えられる仕様とした [1].

テスト応答解析器では，テストモード時に VOUT と VA と VB の 3 つの信号が入力され，それぞれを正常値と比較することにより故障の有無を判断する仕様とした．テスト結果はデジタル信号の High/Low で出力されるようにした．

4　BGR 回路の性能比較

通常 BGR と BIST を付加した BGR の電源電圧特性のグラフを図 3，図 4 に示す．これは，1〜10 チップで 0.05V 刻みで 0V〜2.5V まで電源電圧を変化させたときの出力電圧を測定したものである．黒色の実線で示すグラフがシミュレーション値，その他の点線で示すグラフが実測値である．電源電圧 VDD の 1.8V 時の出力電圧は，シミュレーションではどちらも 0.9931V となり，実測においても著しく異なった値とはならなかった．これより，いずれの値も BIST 回路の有無による変化はなく，BIST 回路が BGR 回路への負荷になっていないことがわかった．

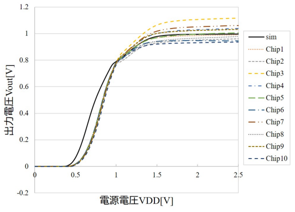

図 3　通常 BGR の電源電圧特性

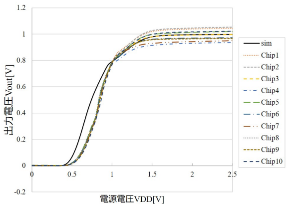

図 4　BIST 付加 BGR の電源電圧特性

5　提案 BIST の評価

提案 BIST 機能を持つ BGR 回路は，面積オーバヘッド 13.5% であり，シミュレーションにおける故障検出率は 88.3% となり，スタートアップ回路を構成する多くの MOSFET の故障が検出できなかった．

試作チップには，故障を付加しない回路と付加した回路の計 7 通りの BIST 回路を実装した．付加した故障は M_3 の GDS，M_{A1} の GSS，M_2 の DSS，M_{A5} の DO，M_{S4} の SO，M_{A10} の GO であり，すべての故障がシミュレーションにおいて検出できるものであった．しかし，BIST 回路の実測での故障検出結果は CUT に故障を付加していない回路の場合もテスト結果は High となり，故障ありと判別されてしまった．これは，素子ばらつきの影響で CUT のノード電圧やテスト応答解析器の入力電圧範囲が変化したことが原因として挙げられる．

6　結論

本研究では，テスト対象回路を BGR 回路とした BIST 回路の設計およびシミュレーションでの評価をおこない，チップへ実装し測定をおこなった．提案 BIST 回路は，BGR 回路に対して負荷のない設計となっていることが分かった．実測では故障を付加していない CUT の故障検出のみができなかった．原因としては，素子ばらつきの影響で CUT のノード電圧とテスト応答解析器の性能が変化してしまったことが挙げられる．

そのため，テスト応答解析器，より良い故障に敏感で電圧の安定したノードの選択，スタートアップ回路を使用したテスト信号の生成方式の再検討などをおこなうべきであると考える．

参考文献

[1] Takuya Bando，Masayoshi Tachibana，A BIST Scheme Detecting Catastrophic Faults of MOSFETs in Bandgap Reference with Self-Biased Operational Amplifier, 19th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), Yilan TAIWAN，2015.