

LST スケジューラを搭載した実時間データ駆動プロセッサの FPGA 実現とその評価

1225131 和田 悠伸 【 コンピュータ構成学研究室 】

FPGA Implementation and Evaluation of Real-Time Data-Driven Processor with Least-Slack-Time Hardware Scheduler

1225131 Yushin WADA 【 Advanced Computer Engineering Lab. 】

1 はじめに

近年, IoT(Internet of Things) デバイスは様々な分野に普及し, それに伴って高機能化・高性能化の要求が高まっている. また, プラント制御や車載等のミッションクリティカル用途ではリアルタイム性も要求される [1].

本研究では, 各種センサ等から到来する様々なデータストリームの多重処理を省電力で実現できるデータ駆動型プロセッサ DDP(Data-Driven Processor) に着目し, そのマルチコア化を前提としたハードウェアスケジューラ回路の構成法を検討した. 具体的には, 複数の実時間タスクを多重に優先処理するために, 全タスクの最小余裕時間 LST (Least Slack Time) を基準にしたスケジューラ機構を提案し, それを搭載した DDP コアを FPGA (Field-Programmable Gate Array) 上に実装して評価した.

2 LST スケジューラを搭載した DDP

本研究で対象とする DDP は基本的にセルフタイム型パイプライン回路 STP(Self-Timed Pipeline) により実現する. これは, 省電力化にも優れ, かつ, タスクの多重実行時に負荷変動を自律的に緩衝できるためである. これらの STP の優位性を保ちつつ, 実時間タスクのスケジューリング機能を実現するために, 図 1 に示す DDP の構成法を提案した.

提案構成では, マルチコア化してもデッドラインミスを起こさない動的スケジューリング手法である LST 手法を採用した [2]. 一般に, 実時間 OS で使われている静的スケジューリングは最適ではないためである. 提案 DDP では, 処理負荷を観測する LM(Load Monitor) と各タスクの優先度に基づいてタスクを中断・再開する TQ(Task Queue) によってスケジューラを構成する. タスクの余裕時間はデッドライン時間と残りの実行時間の差分である. タスクの実行要求時に PRI(Priority Unit) で余裕時間を計算し, 余裕時間情報を STM(Slack Time Memory) に格納する. STM と TQ の内部構成を図 2 に示す. TQ は主に余裕時間の更新と低優先度タスクに属するパケットを退避するための PQ(Priority Queue) で構成されている. パケットが STM に到着した際, TQ

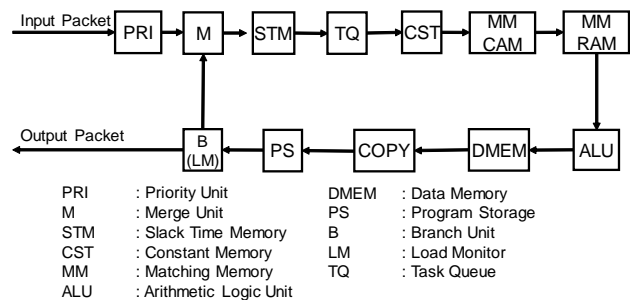


図 1 LST 機構を搭載した DDP の構成

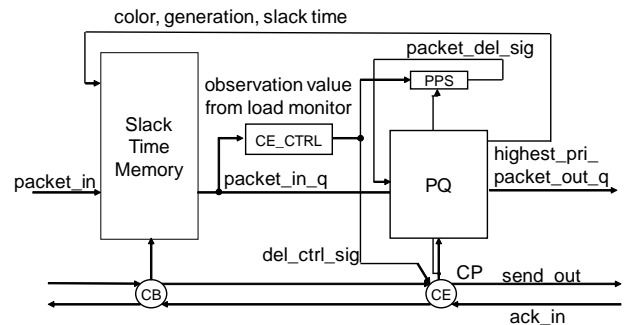


図 2 STM と TQ の回路構成

にキューイングされているパケットの余裕時間を再計算する. その後タスクの識別情報と余裕時間 (Slack Time) を STM にフィードバックさせて各タスクの余裕時間を更新する. その後パケットが DDP 内を周回し, 再度 STM に到着すると, 格納されている余裕時間をパケットに付与して TQ に転送する. 以上の構成を採用することによって, 周回パケットに余裕時間を付与する必要がなくなるため, 通常の DDP ステージの回路規模増大を抑えられる.

3 評価

LST スケジューラを搭載した DDP を設計し, FPGA 上に回路実装した. 本研究で用いた FPGA チップは Intel 社 MAX10-50A である. また, 設計には Intel 社 FPGA 用設計ツール Quartus Prime 18.0 を用いた. 本章では, 実装した DDP の回路規模及び, リアルタイム性能の評価結果を述べる. 実装した DDP の基本仕様を表 1 に示

表 1 FPGA 実装した DDP の基本仕様
内訳

パケット	color[0:2], gen[0:7], data[0:15]
メモリ	PRI : 32words, CST : 64words MM : 64entry, DMEM : 1024words PS : 128words
スケジューラ	PQ : 8words × 3queues

表 2 回路規模の比較

	original	proposed
LE 数 [elements]	5983(12%)	26751(54%)
Register 数 [registers]	3130	6144
Memory 量 [bit]	20864	22464

す。本実装では、実用的なプロセッサとしての活用を想定して、3つの優先度クラスを想定して、各クラスごとに LST スケジューリングを行う仕様とした。

3.1 回路規模

オリジナルの DDP の回路規模との比較を表 2 に示す。LST スケジューラを搭載した DDP の LE 数は従来の DDP の約 4.5 倍の回路規模となった。PQ 回路では LST スケジューリングのために、余裕時間 20bit とキューイング時刻 20bit をパケットに付与した状態でタスクの優先度ソートおよびキューイングを行っているため、回路が増大した。また、その PQ 回路を 3 クラス分搭載したため、より増加した。よって、今後、STM に FPGA の内蔵メモリを用いることや PQ 回路の最適化が必要である。

3.2 リアルタイム性能

実装した DDP のリアルタイム性能評価のために、評価タスクセットを作成した。本評価では、周期的に実行するタスクを対象とし、各タスクは即値演算を複数個連続接続したものとした。また、全タスクは時刻 0 で実行要求され、予め決められた周期毎に実行要求される。DDP の入力ポートは 1 つであるため、同時刻に要求されたタスクは 100ns ずつ遅延させて順次入力した。各タスクは以下の範囲からランダムに決定した。

周期 :1ms, 2ms, 4ms, 5ms, 10ms, 20ms

タスク稼働率 :1~80%

実行時間 :周期 × タスク稼働率

上記の範囲でタスクセットを 20 セット作成し、FPGA 上でのコア稼働率とスケジューリング成功率を測定した。測定には、組込みオシロスコープ回路である SignalTap II を用いた。また、DDP コアの多重処理数を 2 タスクとし、多重処理数別の割合も評価した。スケジューリング成功率は、(全タスクがスケジューリング成功したタスクセット数) / (総タスクセット数) から算出した。

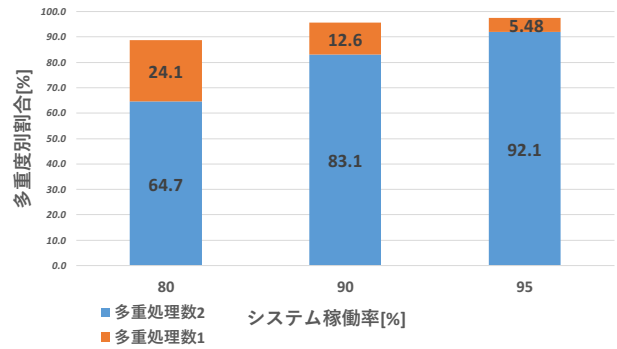


図 3 多重度別コア稼働率

表 3 提案 DDP のスケジューリング成功率 [%]

平均システム稼働率 [%]	80	90	95
成功率 [%]	100	95	85

評価タスクセットを実行したコアの稼働率を図 3 に示す。システム稼働率に応じて、多重処理数が自律的に変化しており、データ駆動型プロセッサの柔軟な多重処理能力が活かされていることが確認できた。一方で、システム稼働率が 90%以上になると、デッドラインミスが発生するタスクセットもあり、表 3 に示すようにスケジューリング成功率 100%を維持できなかった。これは、LST アルゴリズムの限界でもあるが、システム稼働率を 80%以内で運用すれば実用的に活用できることを示唆している。

4 おわりに

本研究では、LST スケジューラを搭載したデータ駆動型プロセッサの FPGA 実現とその評価を行い、稼働率 80%以内で実用的に運用できることが判った。今後、この DDP コアを用いたマルチコアシステムの検討が残されている。また、今回の FPGA 実装では、設計ツールの最適化機能のみを用いた。今後は、DDP の構造的特徴を加味したさらなる回路最適化が望まれる。さらには、LST スケジューリングは理論的には最適な手法ではないため、LLREF スケジューリング等を適用した DDP を検討することも課題として残されている。

参考文献

- [1] L. D. Xu, et al., "Internet of Things in Industries: A Survey," IEEE Trans. Industrial Informatics, Vol. 10, No. 4, pp. 2233–2243, Nov. 2014.
- [2] M. Hwang, et al., "Least Slack Time Rate First: an Efficient Scheduling Algorithm for Pervasive Computing Environment," J. Universal Computer Science, Vol. 17, No. 6, pp. 912–915, Mar. 2011.
- [3] Y. Wada, et al., "Least Slack Time Hardware Scheduler Based on Self-Timed Data-Driven Processor," PDPTA'18, pp.249–255, July 2018.