

# バンドギャップ基準電源回路を対象とした BIST 手法に関する研究

## Research on A BIST Scheme for Band Gap Reference Circuit

1210001 青木 聡太 (回路工学研究室)  
(指導教員 橘 昌良 教授)

### 1. はじめに

近年 LSI (Large Scale Integration) の集積度増加に伴い, LSI テストコストが上昇傾向にあることが大きな課題となっている. その解決方法となるテスト容易化設計 (DFT: Design For Testability) の代表的な手法の一つが組み込み自己テスト (BIST: Built-In Self-Test) である. しかし, アナログ LSI を対象とした BIST では様々な課題が残っており, 実用化には至っていない. そこで本研究では, ミックスドシグナル LSI でよく用いられる参照電源電圧の一つである BGR (Band-Gap Reference) 回路をテスト対象回路 (CUT: Circuit Under Test) とし, BGR 回路内の MOSFET のカタストロフィック故障 (端子のオープン・ショートといった単純故障) の検出をおこなう BIST の設計を目的とした. [1]

### 2. バンドギャップ基準電源回路

本研究で設計した CUT である BGR 回路を図 1 に示す. この BGR の 19 個の MOSFET における (a) GDS (Gate-Drain Short), (b) GSS (Gate-Source Short), (c) DSS (Drain-Source Short), (d) DO (Drain Open), (e) SO (Source Open), (f) GO (Gate Open) の 6 通りのカタストロフィック故障を BIST の故障検出対象とした.

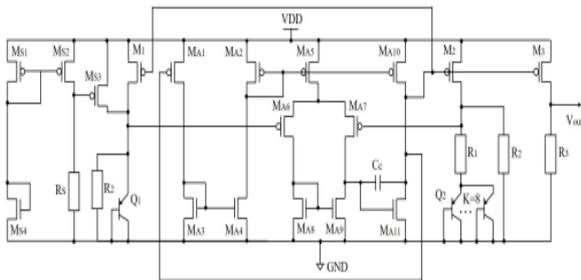


図 1 提案 BGR 回路

### 3. テスト応答解析器

本研究で設計したテスト応答解析器の回路構成を図 2 に示す. このテスト応答解析器は, CUT である BGR 回路から三種類のノード電圧  $V_A$ ,  $V_B$ ,  $V_{OUT}$  をテスト応答解析器を構成する素子 WC1, INV, WC3 にそれぞれ入力する.

そして, それぞれのウィンドウコンパレータとインバータには BGR 回路が正常な場合のノード電圧を基準とした入力電圧範囲が設定されている. この入力電圧範囲内のノード電圧値が入力されることで, それぞれの WC と INV は High を出力し, 故障がない場合はテスト応答解析器の出力  $V_{PF}$  が Low, 故障ありの場合は High を出力するようになっている.

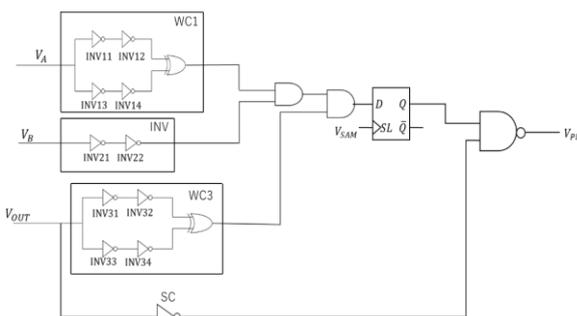


図 2 テスト応答解析器

### 4. 提案 BIST の実測評価

試作チップでは故障検出シミュレーションをおこなったすべての故障を実装することは難しかったため, CUT に故障を付加しない BIST 回路と CUT に 6 通りの故障を付加した BIST 回路を搭載した. 実装した故障は  $M_{A10}$  の GO,  $M_{A5}$  の DO,  $M_{S4}$  の SO,  $M_3$  の GDS,  $M_{A1}$  の GSS,  $M_2$  の DSS である.  $M_{A1}$  の GSS,  $M_2$  の DSS,  $M_{S4}$  の SO は, テスト応答解析器に入力される電圧全てが入力電圧範囲外を示す故障であり,  $M_{A5}$  の DO は電圧  $V_B$  のみがテスト応答解析器の入力電圧範囲外を示す故障であった.  $M_{A10}$  の GO,  $M_3$  の GDS は  $V_{OUT}$  のみがテスト応答解析器の入力電圧範囲外を示すものであった. これらの故障は全てシミュレーションにおいてテスト応答解析器を用いることで故障の検出が可能であり, 各 WC と INV の故障検出機能を確認できるため, 選択し実装をおこなった. その結果を表 1 に示す.

表 1 試作チップのテスト結果  $V_{PF}$

	テスト出力 $V_{PF}$	
	通常動作	テスト動作
故障なし	High	High
$M_3$ GDS	High	High
$M_{A1}$ GSS	High	High
$M_2$ DSS	High	High
$M_{A5}$ DO	High	High
$M_{S4}$ SO	High	High
$M_{A10}$ GO	High	High

表を見ると, CUT に故障を付加していない回路の場合のテスト結果も High となり, 故障があると判別されてしまった. これは, 素子ばらつきの影響で CUT のノード電圧やテスト応答解析器の入力電圧範囲が変化してしまったことが原因として挙げられる.

### 5. まとめ

本研究では, 提案 BIST 回路のテスト応答解析器を中心に設計し測定を行った. 結果は, 先行研究と比較し WC1 と INV の入力電圧範囲を大きく広げること成功し, より安定した故障判別を行うことに成功した. しかし, 素子ばらつきの影響で故障判別に間違いが起こるなど問題点も多く確認された. 今後は, 素子ばらつきの影響を抑えるレイアウトや実測方法の再検討, より実用的なものとするために温度特性などについても検討していく必要がある.

### 参考文献

[1] 猪岡柚香, 橘昌良, バンドギャップ基準電源回路を対象とした BIST 手法に関する研究, 高知工科大学工学部基盤工学専攻電子・光システム工学コース 修士論文, 2020