

データ駆動型プロセッサ用 EDF スケジューリング回路の最適化の検討

1210301 岡野 秀平 【 コンピュータ構成学研究室 】

1 はじめに

近年, IoT(Internet of Things) の普及により, IoT 端末は様々な分野で活用されている. それに伴い, IoT 端末には高性能化が求められている. 特に, ロボットや自動車などはリアルタイムでの処理を要求され, 各タスクの優先度を考慮して資源を割り当てる必要がある.

タスクの優先度に基づく動的スケジューリング方式として, EDF(Earliest Deadline First) が挙げられる. また, 先行研究では複数タスクの多重処理が可能なデータ駆動型プロセッサ DDP(Data-Driven Processor) に EDF スケジューリング回路を搭載する検討がなされている [1]. 本研究では, EDF スケジューリング回路を搭載した DDP の最適化を検討する. 具体的には, EDF スケジューリング回路を DDP に搭載する際に拡張するパケット形式に着目して回路規模の縮小を図る.

2 EDF スケジューリング回路の課題

EDF スケジューリング回路では, 絶対デッドライン時刻の近いタスクに高い優先度が割り当てられる. したがって, DDP に搭載する際には, 絶対デッドライン時刻とタスクの優先度をパケットに付与する必要がある. しかし, 絶対デッドライン時刻の情報を保持したままパケットが DDP を周回すると回路規模が増加する.

一方, DDP でパケットの絶対デッドライン時刻を参照するのはごく一部のステージだけである. そこで, 絶対デッドライン時刻を退避させるメモリを用意することで DDP を周回するパケットのサイズ削減を行う.

3 提案 EDF スケジューリング回路の構成

本研究で提案する EDF スケジューリング回路を搭載した DDP の構成を図 1 に示す.

Deadline Fix(DF) では, 絶対デッドライン時刻を算出しパケットに付与する. Deadline Time Memory(DT) では, 絶対デッドライン時刻を RAM へ退避する. DF から送られてきたパケットの絶対デッドライン時刻を RAM へ書き込み, Load Monitor(LM) から送られてきたパケットに対しては絶対デッドライン時刻を読み出す. このとき, RAM アクセスのアドレスには, パケットの識別情報を用いる. LM では, DDP 内のパケット数を観測することで多重度を検知する. Queueing Unit(Q) では, パケットを EDF 順, すなわち, 絶対デッドライン時刻に近い順にソートする. パケットが多重度を超える場合は, そのパケットをキューイングして処理を中断する. よって, Q 以外で絶対デッドライン時刻の情報は必要ないため, 次ステージへパケットを送る際に絶対デッドライン時刻の情報を取り除く.

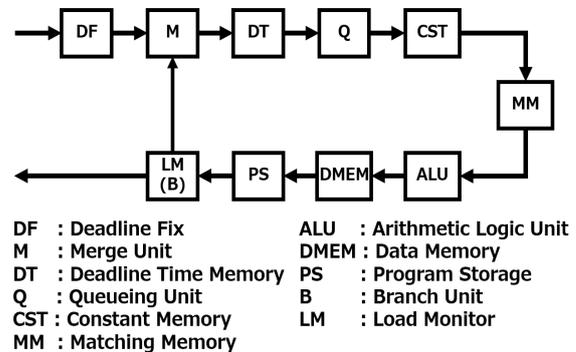


図 1 EDF スケジューリング回路を搭載した DDP の構成

4 評価・まとめ

本研究では, EDF スケジューリング回路を搭載した 16bitDDP の FPGA 回路を設計し, Intel MAX10 FPGA 上に実装した.

DDP の入力パケット長は 42bit であり, DF を通過すると, パケット長は 67bit まで拡張する. その内の 20bit はデッドライン時刻であり, 従来の EDF スケジューリング回路を搭載した DDP では, デッドライン時刻が付与されたままパケットが周回する. それに対して, 本研究で提案する EDF スケジューリング回路を搭載した DDP では, Q で絶対デッドライン時刻を取り除くため, Constant Memory(CST) から LM までを通過するパケット長を 20bit 縮小できる.

EDF スケジューリング回路を搭載した DDP の回路規模を比較した結果を表 1 に示す. LE 数は 5024 個となり, 従来と比べて 67%削減でき, Register 数は 3618 個となり, 従来と比べて 7%削減できた. 性能の優劣については, 今後, 評価する予定である.

表 1 EDF スケジューリング回路を搭載した DDP の FPGA 回路規模の比較

	EDF[1]	提案 EDF	増減率
LE	15896 個	5204 個	67%減
Register	3899 個	3618 個	7%減
M9K	21296 bit	21728 bit	2%増

参考文献

- [1] K. Fukuda, et al., "Priority-Based Hardware Scheduler for Self-Timed Data-Driven Processor," PDPTA'17, pp. 245—251, July 2017.