

データ駆動型ヘテロジニアス・マルチコアにおける高性能コアの一検討

1210366 古田 雄大 【コンピュータ構成学研究室】

1 はじめに

IoT デバイスに搭載するコアには高性能と低消費電力性が求められているため、特性が異なる複数のコアからなる HMC(Heterogeneous Multicore) アーキテクチャが利用されている [1]. ARM の big.LITTLE アーキテクチャでは、高負荷時に big コアで高性能を発揮し、低負荷時に LITTLE コアで電力を抑えている。

そこで、多重並列処理による高性能化と省電力化が可能な自己同期パイプライン(STP:Self Timed Pipeline)によるデータ駆動型プロセッサ DDP(Data Driven Processor) [2] で、big.LITTLE アーキテクチャを実現できれば、更なる高性能化と低消費電力化が見込まれる。本稿では、DDP の big 化手法を検討し、既存の DDP との性能の比較結果を報告する。

2 DDP の big コア化

STP に基づく DDP 全体のスループット性能は、最も遅いパイプラインステージにより律速される。DDP の big 化のために複雑な命令実行回路を導入すると性能低下の恐れがある。そこで、本研究では図 1(a) に示す DDP の FP(Functional Processor) に着目し、演算種別毎に並列パイプライン化する方法を検討した。

FP は到着したパケットに対して加算や減算に加え、乗算、ロード・ストアなどの命令を処理する機構である。各命令はそれぞれ演算にかかる時間が異なり、図 1(b) に示す従来構成では、演算時間が短い命令が長い命令の実行完了を待つ必要がある。これを避けるために、図 1(c) に示すように並列パイプライン化する。また、演算時間が長い命令のスループット性能を向上するために、命令実行回路をパイプライン分割する。

本研究では、乗算器のパイプライン分割のために、Booth の乗算アルゴリズムを用いた。

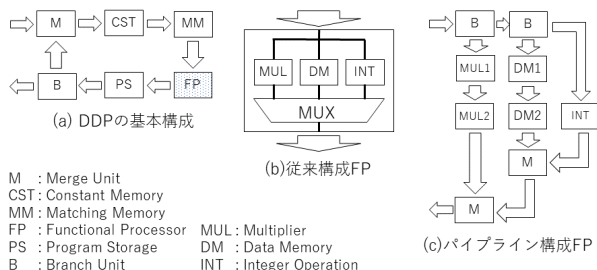


図 1 bigDDP における FP 構成法

3 FPGA 回路設計と評価

既存の DDP と本研究で big コア化した DDP(bigDDP)を対象に、FPGA (Intel 社 MAX10) 回路を設計し、各 DDP 回路のスループット性能 Th と周回時間 P を比較した。各ステージの転送要求信号伝搬時間を T_f 、転送許可信号伝搬時間を T_r とすると、スループット性能は $1/Max(T_f + T_r)$ 、周回時間は $\sum T_f$ で算出した。

表 1 から DDP と比べ bigDDP にスループット性能の劣化が見られた。この原因は、FPGA のエンベデッド乗算器を活用できていない点、および、FP 内の合流制御のデータ転送要求信号遅延が予想以上に大きかったことにあった。

表 1 DDP と bigDDP の性能比較

	DDP	bigDDP		
		MUL	DM	INT
Th [M packet/s]	38.6	32.9	31.6	33.2
P [ns]	210	345	340	322

4 まとめ

本研究では、従来の DDP の更なる高性能化を迫るため、FP を並列パイプライン化し、演算時間の長い乗算器をパイプライン分割した bigDDP を設計した。しかし、想定した高性能化が図れなかったため、今後、設計した FPGA 回路の最適化の方法を検討したいと考えている。また、浮動小数点演算器のようにより演算時間が長い演算器を搭載した構成についても検討する必要がある。

参考文献

- [1] 塩谷 他, “低電力モードを備えるプロセッサとモード切り替えアルゴリズムによる電力効率の向上”, 情報研報, Vol. 2017-ARC-226, No. 17, 2017.
- [2] H. Terada, et al., “DDMPs: Self-Timed Super-Pipelined Multimedia Processors”, Proc. of IEEE, Vol. 87, No. 2, pp. 282–295, Feb. 1999.