

バンドギャップ基準電源回路のための素子バラツキ抑制を目的とした設計手法 Design method that suppress element variation of Band Gap Reference circuit

1235127 増田梓月 (回路工学研究室)
(指導教員 橘 昌良 教授)

1. はじめに

近年、集積回路 (LSI : Large-Scale Integration) の微細化に伴い、温度や電源電圧の変化に依存しない高精度である基準電源回路が求められている。BGR (Band Gap Reference) 回路は、基準電源回路の一つであり、電源電圧や温度に依存しない電圧源である。先行研究[1]では BGR 回路の設計と評価を行ってきたが、製造時の素子バラツキが影響し、設計通り動作しないことが報告されてきた。本研究では、素子バラツキの影響を抑え、バラツキの少ない BGR 回路の提案を目的とする。加えて、先行研究[1]で検討されなかったオペアンプのオフセット電圧についても言及した。また、温度特性 TC の設計目標は、100 ppm/°C以下とする。本研究での回路設計は Rohm0.18μmテクノロジーで行い、チップ試作も Rohm0.18μmプロセスで行われた。

2. ダイオードのパラメータ設定

先行研究[1]では本研究室で使用するダイオードのシミュレーションパラメータにずれがあることが指摘された。よって、ダイオードの試作を行い、I-V 特性、温度特性を実測し、パラメータの修正を試みた。図 1 がダイオードの I-V 特性、図 2 がダイオードの PTAT 電圧特性であり、両図とも赤色が修正後のシミュレーションである。ダイオードの飽和電流パラメータを修正し、実測値からのずれを±4%以内とした。

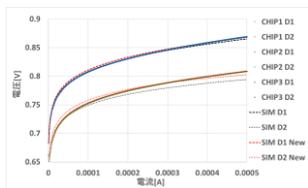


図 1 I-V 特性

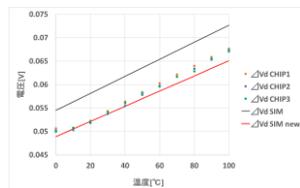


図 2 PTAT 電圧

3. BGR 回路の設計

本研究では、素子パラメータ、回路構成を調整し 11 種類の BGR 回路を試作した。2 章で述べた、修正したダイオードのパラメータを用いて BGR 回路のシミュレーションを行った。図 3 は、先行研究[1]で用いられた基本的な BGR 回路の構成である。図 4 は、図 3 からオペアンプの入力コモンモード電圧を低下させるために抵抗の構成を改良した BGR 回路である[2]。

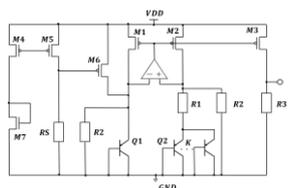


図 3 基本的な BGR 回路

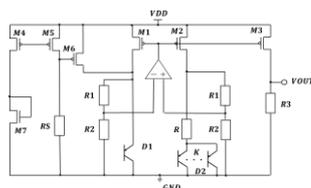


図 4 コモンモード電圧を考慮した抵抗構成の BGR 回路

4. BGR 回路の実測結果

図 4 の BGR 回路の電源電圧特性が図 5、温度特性が図 6 である。電源電圧特性は、20 チップを 0.05V 刻みで 0V~2.5V まで電源電圧を変化させたときの出力電圧を測定したものである。温度特性は、20 チップで電源電圧を 1.8V で固定し、10°C刻みで 0°C~100°Cまで温度を変化させたときの出力電

圧を測定したものである。両図とも黒色の実線がシミュレーション値、その他のプロットが実測値である。電源電圧特性はおおむねシミュレーション値と同じ波形を示したが、シミュレーションより高い出力電圧を示した。最大で chip15 が +18%ばらついた。温度特性は 20 チップ中 17 チップで温度係数 TC が設計目標である 100 ppm/°Cを下回った。最小 TC は chip7 で 10.41 ppm/°Cであった。

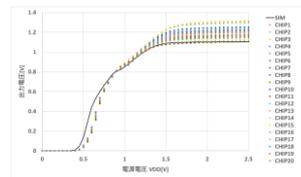


図 5 電源電圧特性

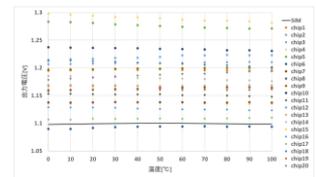


図 6 温度特性

5. トリミング回路の実装

オフセット電圧が生じた場合を考慮し、トリミング回路を設計し BGR 回路に実装した。図 8 のトリミング回路が図 7 の“TRIMMING CIRCUIT”に該当する。トリミング回路の 4 ビットの MOS スイッチで ON/OFF を切り替えることによって 15 状態を表現できる。素子バラツキによって BGR 回路の出力電圧がばらついた場合、図 7 の R₃ に流れる電流を制御し出力電圧を 15 段階まで上昇させることができる。トリミング回路を実装した BGR 回路はチップが完成し届き次第、実測を行いシミュレーションとの比較を行う。

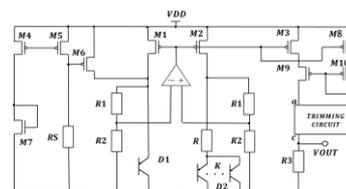


図 7 トリミング回路を実装した BGR 回路

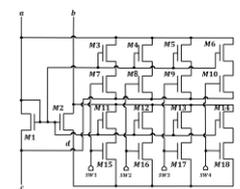


図 8 トリミング回路

6. 結論

本研究では、BGR 回路を 11 種類設計し、シミュレーションと実測での比較を行った。図 4 の抵抗の構成を用いた回路では設計目標の TC を満たすチップが多く確認できたが、ほとんどのチップがシミュレーションより高い電圧を示した。抵抗、ダイオードの素子バラツキだけでなく、オペアンプのオフセット電圧も考慮する必要があると考えられる。それを受けてトリミング回路を設計し、BGR 回路に実装した。

今後の課題としては、オペアンプのトランジスタの微調整や、素子バラツキに対しより大きくマージンをとった設計が考えられる。また、トリミング回路を実装した BGR 回路の実測はチップが届き次第行う。

参考文献

- [1] 増田梓月, “BGR 回路のための素子ばらつき測定用チップの設計”, 高知工科大学システム工学群電子・光工学専攻卒業研究報告書, 2019
- [2] R. Jacob Baker CMOS Circuit Design, Layout, and Simulation 3rd Edition IEEE Press 2010