

バンドギャップ基準電源回路の素子バラツキを抑制するための回路の検討

1220135 林 竜史 (回路工学研究室)

(指導教員 橋 昌良 教授)

1. はじめに

近年, LSI (Large-Scale Integration) の製造技術である微細加工技術の向上に伴う微細化, 回路の小型化, 高速化が進む反面製造時に発生する素子バラツキがアナログ回路の分野では問題になっている. 先行研究[1]では, BGR (Band Gap Reference) 回路と呼ばれる温度や電源電圧に依存しない回路においての素子バラツキの抑制を行っていた. また, 素子バラツキはオフセット電圧の影響を受けている可能性が報告されていた. 本研究では, 素子バラツキを抑制すべく, 先行研究[1]で報告されていたオフセット電圧を考慮した BGR 回路の検討を目的とする. 本研究における温度係数 TC の設計目標は先行研究[1]と同様の 100 ppm/°C以下とする.

本研究での回路設計は Rohm0.18μm テクノロジで行い, チップ試作も Rohm0.18μm プロセスで行われた.

2. オフセット電圧の抑制

先行研究[1]ではオフセット電圧の影響による出力電圧のずれが報告されていた. よって, 本研究では正の温度係数を持つ PTAT 電圧と負の温度係数を持つ CTAT 電圧の和を調整する手法でオフセット電圧を抑えることとした. ダイオードの並列数 K は PTAT 電圧に相当する. そこで K の値を大きくし, CTAT 電圧を小さくすることで和, つまり出力電圧を設計目標値に近づけたままオフセット電圧の抑制を行った. ここで式(1)における R_3/R_2 を小さくすることで CTAT 電圧を小さくし, オフセット電圧を 0[V]に近づけ出力電圧を調整することとした.

$$V_{out} = \frac{R_3}{R_1} V_T \ln K + \frac{R_3}{R_2} V_D + \frac{R_3}{R_2} V_{os} \quad (1)$$

3. ダイオードの並列数

本研究ではダイオードの並列数 K を 10 及び 12 でチップを試作した. また, ダイオードにおける I-V 特性および温度特性のシミュレーション値の比較を行った. 両図より PTAT 電圧が K の値を大きくすると増加していることが読み取れる.

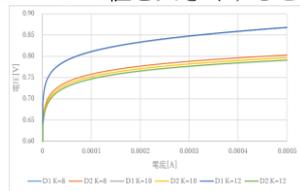


図1 ダイオードの I-V 特性

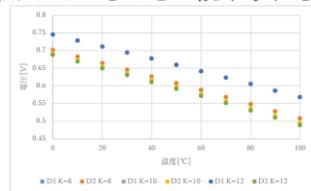


図2 ダイオードの温度特性

4. BGR 回路の設計と評価

本研究における BGR 回路は K=10 である回路 1 及び K=12 の回路 2 の 2 種類製作した. その際, R3 の値も式 1 より出力電圧を設計目標値である 1[V]が出力されるよう設計を行った.

そして, 試作したチップのシミュレーション及び実測を行い比較, 評価を行った. 本研究で用いられた BGR 回路の回路構成を図 3 に示す.

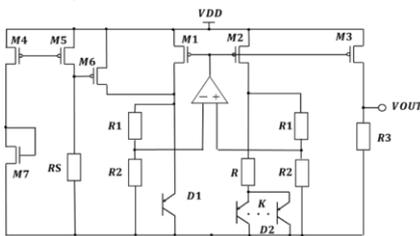


図3 BGR 回路の回路構成

次に, 製作した BGR 回路の電源電圧特性及び温度特性のシミュレーション値との比較, 評価を行った. 図 4, 図 5 から電源電圧特性については, 先行研究[1]と比較してシミュレーション値からのバラツキは小さくなっているといえる. 電源電圧特性におけるシミュレーション値からのばらつきは, ±15%程度になっている.

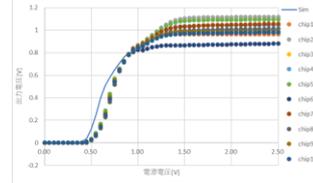


図4 回路1の電源電圧特性

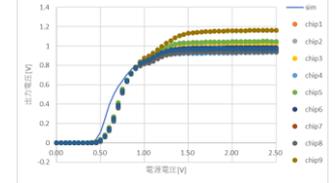


図5 回路2の電源電圧特性

また図 6, 図 7 から温度特性に関しても先行研究[1]から改善されていることが読み取れる. シミュレーション値からのバラツキについては±15%になっており, 先行研究[1]では±20%程度となっていた.

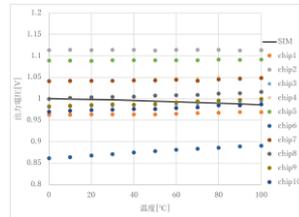


図6 回路1の温度特性

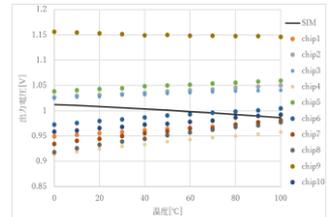


図7 回路2の温度特性

温度変化に対する強度を表す TC の値については, 先行研究[1]では多くのチップが設計目標を満たしたが, 本研究においてはシミュレーション値から満たすことが出来ず, 実測結果設計目標を満たしたチップは少ない結果となった.

表1 試作チップの TC 値

| | K=10 | | K=12 | |
|--------|-----------|-----------|------|------|
| | sim | chip | sim | chip |
| sim | 147.09662 | 259.08917 | | |
| chip1 | 69.942059 | 292.28538 | | |
| chip2 | 14.922063 | 221.10959 | | |
| chip3 | 151.2721 | 154.98583 | | |
| chip4 | 112.86924 | 472.88971 | | |
| chip5 | 31.09617 | 201.9772 | | |
| chip6 | 338.62832 | 329.31362 | | |
| chip7 | 67.624326 | 491.61764 | | |
| chip8 | 165.16105 | 634.03344 | | |
| chip9 | 177.50012 | 89.255077 | | |
| chip10 | 175.10058 | 345.69346 | | |

結論

本研究では, 出力電圧のバラツキを抑制すべくオフセット電圧を考慮した BGR 回路を 2 種類製作し, 実測を行った. 式(1)よりオフセット電圧を 0[V]に近づけることで出力電圧のバラツキを抑制することはできるといえる結果が得られた. しかし, まだ出力電圧はばらついておりこれはカレントミラー回路がばらついた際と酷似していることからトリミング回路を実装するなどの対策が必要であると考えられる. また, TC の値も検討する余地があると考えられる.

参考文献

[1] 増田梓月, “バンドギャップ基準電源回路のための素子バラツキの抑制を目的とした設計手法”, 高知工科大学工学研究科基盤工学専攻電子・光システム工学コース修士論文, 2020