

データ駆動型プロセッサの環状パイプライン構成の比較検討

1220348 高橋 龍一 【 コンピュータ構成学研究室 】

1 はじめに

近年, IoT(Internet of Things) 技術の普及により, IoT 機器は幅広い分野で利用され, それに伴い, 高性能化と省電力化の要求が高まっている. そこで, 大域的クロックを用いない省電力なセルフタイム型パイプライン STP(Self-Timed Pipeline) 回路により, 多重並列処理が可能なデータ駆動プロセッサ DDP(Data-Driven Processor) を実現する技術が研究されている.

本研究では, データ駆動プロセッサを実現する環状パイプライン構成に着目して, どのような構成法が最適であるかを比較検討した.

2 DDP の環状パイプライン構成

DDP 上でのプログラム実行制御には, 二項演算の実行に必要なオペランド対を検出するマッチングメモリ MM (Matching Memory), 演算を実行する FP(Functional Processor), 次の演算ノード dest と演算コード OP を読みだす PS (Program Storage) が基本的構成要素として必要である [1]. これらの構成要素を順に実行する環状パイプライン構成は, 6 通りが考えられる. しかし, その順序によって, 各構成要素の回路, パケット構成, および, 必要なメモリ量が異なり, 結果として, DDP の実装に必要な回路規模や性能が異なる. よって, 本研究では, これらの組み合わせを網羅的に比較検討して, 最適な構成を検討した.

これまで, 研究室で主として実現されていた DDP の環状パイプライン構成を図 1 に示す. この構成では, 入力パケットが即座に対となるオペランドを検出して演算できるようにするために, MM ⇒ FP ⇒ PS の順に処理される. よって, (MM ⇒ FP ⇒ PS) 型と呼ぶ. 図 1 では, 二項演算の実行制御機能に加えて, 即値演算用の定数を読み出す CST, および, 演算結果を複製する COPY が配置されている.

この構成では, すべてのパケットで演算コード OP1

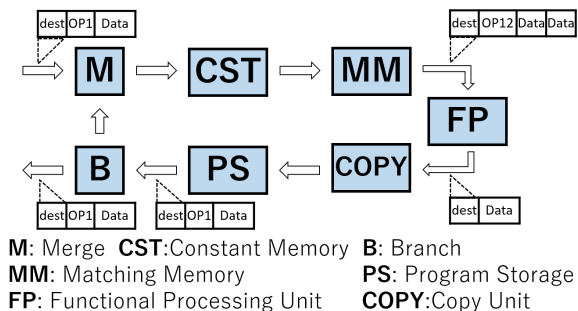


図 1 (MM ⇒ FP ⇒ PS) 型 DDP の構成

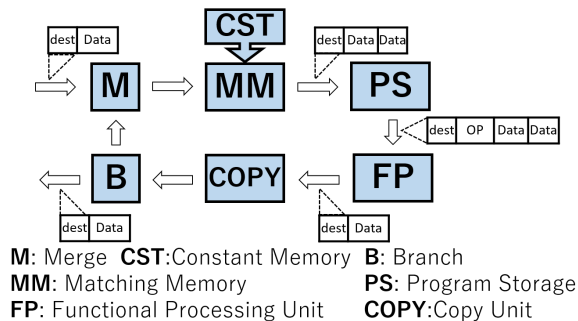


図 2 (MM ⇒ PS ⇒ FP) 型 DDP の構成

表 1 DDP 実装に必要な回路資源の比較結果

	(MM ⇒ FP ⇒ PS) 型	(MM ⇒ PS ⇒ FP) 型	増減率
LUT	2009 個	1524 個	24%減
FF	1846 個	1718 個	7%減
BRAM	72Kb	72Kb	増減なし

を保持する必要がある, 定数が必要ない演算でも CST 通過後に演算コード OP2 と定数値フィールドが必要になるため, プロセッサの性能低下や回路規模の増加に繋がり, ひいては, 消費電力も増加してしまう.

一方, (MM ⇒ PS ⇒ FP) 型 DDP では, 演算コード OP(≡ OP1+OP2) は PS ⇒ FP 間でのみ保持すればよく, また, 図 2 に示すように, 定数メモリ CST を MM 内に組み込むことが可能になり, 回路の削減が可能になる. さらに, パケット複製機能については, FP の後段に配置することにより, 複製の要否を示すフラグ CPY を PS ⇒ FP ⇒ COPY でのみ保持すればよい. しかし, 演算コードを各オペランドパケットに分割して保持させられないため, PS メモリ内のワード長が余分に必要になる.

3 評価・まとめ

本研究では, 6 種類の環状パイプライン構成のうち, 有望と考えられる (MM ⇒ PS ⇒ FP) 型 DDP 回路を設計し, 従来の DDP 回路とを比較評価した. 設計ターゲット FPGA を Xilinx 社 zynq7000 として, 必要な回路資源量を比較した結果を表 1 に示す. 結果, LUT は 24%, FF は 7%25%削減できた. 今後, 性能向上率についても詳細に検討する.

参考文献

[1] H. Terada, et al., “DDMP’s: Self-Timed Super-Pipelined Data-Driven Processors,” *Proc. of the IEEE*, Vol. 87, No. 2, pp. 282–296, Feb. 1999.