

SoC 設計プラットフォームを用いたアクセラレータ搭載低電力プロセッサの設計

Design of Low Power Processor with Accelerator using Open Source SoC Design Platform

1245059 土居 拓矢 (集積システム研究室)

(指導教員 密山 幸男 教授)

1. はじめに

チップに集積するトランジスタ数の増加に伴い、消費電力も増加してきた。しかし、スマートフォンや IoT 端末などの電力資源が限られた用途では、画像認識や音声認識など高度な処理能力と電力効率の向上の両立が求められている。本研究では、低消費電力と高い性能の両立を実現するアクセラレータを搭載した高効率プロセッサを開発するため、プロセッサ開発環境の構築を行う。コアプロセッサに RISC-V[1]を使用し、SoC 設計プラットフォームに ESP (Embedded Scalable Platforms)[2]を用いて設計した SoC の使用リソースと処理時間の評価を行う。

2. ESP を用いたプロセッサの設計

ESP を用いた SoC 設計は、タイルベースで行う。タイル要素としてプロセッサ、アクセラレータ、メモリインタフェース、I/O の 4 種類がある。それぞれのタイルの個数や配置は自由に変更することが可能であるが、CPU、メモリ、I/O をそれぞれひとつ以上配置する必要がある。まず、比較のためにアクセラレータを搭載していないシングルコアプロセッサ(ベースプロセッサ)を設計した。次に、評価アプリケーションとして 32 ビット 32 乗算積和演算(以降 32bMACx32)と 8 ビット 32 乗算積和演算(以降 8bMACx32)の 2 種類を用意し、積和演算アクセラレータ搭載プロセッサを設計した。

3. 設計した SoC の評価

Xilinx 社製 VC707 をターゲット FPGA ボードとしてプロセッサを合成した。ベースプロセッサとアクセラレータ搭載プロセッサ(Acc.P)のリソース使用量を表 1 に示す。アクセラレータを搭載した場合、ベースプロセッサと比較して LUT の使用数が約 1.6 倍増加していた。また、DSP は約 2 倍、FF と BRAM は約 1.2 倍となった。

表 1 SoC のリソース使用量

	LUT	FF	BRAM	DSP
ベースプロセッサ	83,179 (27.3%)	83,906 (13.8%)	68 (6.6%)	27 (0.9%)
32bMACx32.	129,191 (42.3%)	102,580 (16.8%)	85 (8.2%)	48 (1.7%)
Acc.P	129,440 (42.6%)	102,631 (16.9%)	73 (7.1%)	45 (1.6%)

32bMACx32 を 100 回実行するのに要した処理時間を表 2 に、同じく 8bMACx32 の処理時間を表 3 に示す。表中の演算は積和演算に要した時間であり、その他は積和演算以外の処理時間である。表 2、表 3 より、アクセラレータの搭載により演算時間を 95%以上短縮できることがわかった。また合計時間はベースプロセッサと比較して、32bMACx32.Acc.P では 35%、8bMACx32.Acc.P では 25%短縮した。

表 2 32bMACx32 アプリケーションの処理時間

	演算(ms)	その他(ms)	合計(ms)
ベースプロセッサ	5.86	10.31	16.17
32bMACx32.Acc.P	0.27	10.31	10.58

表 3 8bMACx32 アプリケーションの処理時間

	演算(ms)	その他(ms)	合計(ms)
ベースプロセッサ	1.68	4.92	6.60
8bMACx32.Acc.P	0.03	4.92	4.95

4. アクセラレータの消費電力評価

アクセラレータを高性能 FPGA ボードとして Altera 社製 StratixIII と低消費電力 FPGA ボードとして Lattice 社製 iCE40 に評価回路を実装し、消費電流を測定する。StratixIII FPGA は、コアや IO に外部電源を接続可能なカスタムボードを使用する。一方、iCE40 は Lattice iCE40 Ultra Breakout board を使用し、FPGA を外部電源で動作させた。FPGA の消費電流測定の実験環境を図 1 および図 2 に示す。

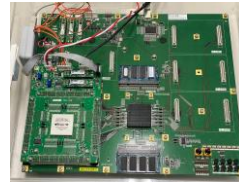


図 1 Altera StratixIII FPGA

図 2 Lattice iCE40 FPGA

アクセラレータには Verilog HDL で記述した Sobel フィルタを用いた。Sobel フィルタの入力ベクトルは線形帰還シフトレジスタ(LFSR)を用いて生成した。

測定した消費電流から算出した消費電力を表 4 に示す。表中の複製数は回路規模の小さい Sobel フィルタの電流を正確に測定するために複製した数となっている。All は Sobel フィルタと LFSR の消費電流と FPGA のリーク電流を合わせた値である。表 4 より、評価回路を複製しなかった場合と複製した場合で消費電力の差が大きくなっており、回路規模が小さい場合の測定誤差が影響していると考えられる。リーク電力、評価回路の消費電力、FPGA の消費電力について、StratixIII と iCE40 で傾向が大きく異なることが確認できた。

表 4 StratixIII と iCE40 の 1MHz 当たりの消費電力

FPGA	複製数 [個]	各消費電力[mW]			
		ALL	LFSR + leak	Sobel	Sobel /複製数
Stratix III	1	104.5	104.4	0.048	0.048
	100	117.1	115.1	2.016	0.020
	200	119.1	115.7	3.408	0.017
	400	134.0	127.3	6.720	0.017
iCE40	1	0.138	0.058	0.080	0.080
	2	0.309	0.093	0.216	0.108
	4	0.595	0.160	0.434	0.109
	8	1.057	0.272	0.785	0.098
	10	1.392	0.355	1.037	0.104

5. まとめ

SoC 設計プラットフォーム ESP を用いてアクセラレータ搭載プロセッサを設計した。アクセラレータを搭載することでリソース使用量は増加するが、演算時間を大幅に短縮することができた。また 2 種類の FPGA にアクセラレータを実装し、消費電流のリアルタイム計測による消費電力評価を行い、FPGA によって消費電力の傾向が大きく異なることがわかった。

参考文献

- [1] <https://riscv.org/>
- [2] P. Mantovani, D. Giri, G. D. Guglielmo, L. Piccolboni, J. Zuckerman, E. G. Cota, M. Petracca, C. Pilato, and L. P. Carloni, "Agile SoC Development with Open ESP," in *Proc. International Conference on Computer Aided Design (ICCAD)*, Sept. 2020