データ駆動型プロセッサの FPGA 向き回路最適化手法の検討 ～データ転送制御回路に着目した最適化～

1245117　井上　聡　【 コンピュータ構成学研究室 】

A Study on FPGA Circuit Optimization of Data-Driven Processor - - Focusing on Data Transfer Control - -

1245117　Satoshi Inoue　【 Advanced Computer Engineering Lab. 】

1　はじめに

近年，IoT(Internet of Things) 技術の発展により，エッジ機器への要求がますます高くなっている．これに伴い，エッジ機器に対する高性能化，低消費電力化，多様化が求められている．データ駆動型プロセッサ DDP(Data-Driven Processor)[1] は複数ストリームデータの多重処理性能が高く，低消費電力で動作するため，有効なアーキテクチャである．また，FPGA(Field Programmable Gate Array) を用いて実装することで，多様な用途に適応した回路を構成できる．そのため，FPGA 向き DDP 実装は，IoT エッジ機器の有効な実装法になりうる．

一方，現行の FPGA 回路設計ツールは同期回路に最適化されており，DDP を非同期回路で実装する際，回路の最適化を充分に行えない．このため，FPGA を対象として，動作保証された DDP を設計することを目標として，DDP の設計自動化フロー [2] が提案された．しかしながら，全てのタイミング制約条件を網羅して検証できてはいない．

よって本研究では，DDP の設計自動化フローを拡張するために，制約条件の網羅的検証と DDP の性能向上を目的として，データ転送制御回路に着目した回路最適化手法を検討する．

2　DDP の設計最適化の課題

DDP は STP(Self-Timed Pipeline) で実装されており，図 1 のように隣接ステージ間でハンドシェイク通信を行うことでパケットの転送制御を行う．図 1 において，ハンドシェイク通信により，前段データ転送制御回路 C_{i-1} でラッチ開放信号 CP_{i-1} が出力され，データラッチ DL_{i-1} の開閉制御を行う．DL_{i-1} が開放されると後段ステージの $Logic_i$ へとデータが転送され，後段 DL_i にデータが格納される．このとき，$T_{cp} < T_f$ の制約条件を満たす必要がある．ただし，T_{cp} は CP_{i-1} から $Logic_i$ の処理が終了するまでのパス遅延時間，T_f は CP_{i-1} の立ち上がりから CP_i が立ち上がるまでのパス遅延時間である．この条件を満たすためには先行研究のタイミング検証法 [3] によって充足可否を判定し，必要

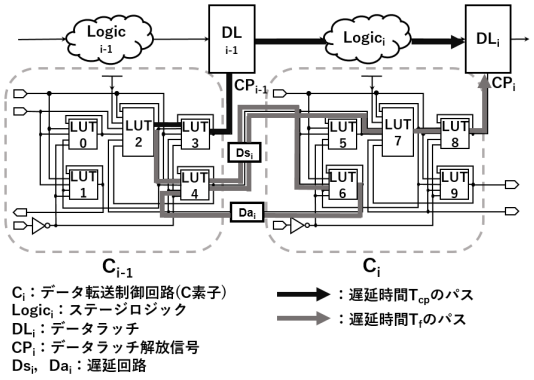

図 1　データ転送制御回路の信号パス

に応じてパス上の遅延回路 Ds_i, Da_i により T_f を調整する必要がある．

タイミング検証法 [3] では，回路を構成する論理ゲートを疑似クロック入力つき LUT に置換することで，FPGA 回路設計ツールに同期回路として認識させ，回路のタイミング情報を抽出している．さらに，これを応用して，複合データ転送制御回路に対応したタイミング検証法 [4] も部分的に提案されている．しかし，遅延回路調整が設計者の試行錯誤によって行われており，効率的な調整法が確立されていない．

また，従来手法 [2] では配置配線を回路設計ツールの機能を用いて行っていたが，FPGA は配置配線による遅延の影響が ASIC と比べて大きいため，回路の配置領域が大きくなる傾向にあり，配線距離も長くなり，配線遅延も増大する問題があった．そのため，回路の配置配線を巧妙に行うことで，配線遅延を低減し高性能化を図る必要がある．

3　データ転送制御回路に着目した最適化手法

3.1　データ転送制御回路のタイミング調整

データ転送制御回路は，制約条件を満たす範囲で図 1 の遅延回路 Ds を最小化すれば，動作保証した上で性能向上を図れる．よって，次のようなタイミング調整法を採用した．ここでは，遅延回路の最小単位を LCELL と

呼ぶ．

1. 入力レジスタと出力レジスタの間に複数の LCELL を挿入し，LCELL 1 個あたりの遅延時間 T_{min} を計測する．
2. データ転送制御回路間の LCELL の個数 N_{Ds}, N_{Da} を初期値 (=1) に設定し，DDP のタイミング検証によりパス遅延時間 T_f を求める．
3. 図 1 の T_f のパス上の遅延回路 Ds, Da を除いたパス遅延時間 T'_f を求める．
   $T'_f = T_f - (2N_{Ds} + N_{Da})T_{min}$
4. タイミング制約 ($T_{cp} < T_f$) が未充足の場合，充足に必要となる LCELL の個数 N'_{Ds} を求める．
   $N'_{Ds} = \lceil \frac{T_{cp} - T'_f}{2T_{min}} \rceil$
5. $N'_{Ds} < 0$ の場合，再コンパイル後 2 に戻る．

また，複合データ転送制御回路固有のタイミング制約条件を満たすための遅延回路 Dc も，上記と同様の手法で調整する．この場合，複合制御のための信号を T_{short}，制約条件を満たすため制御対象となる信号を T_{long} とし，$T_{short} < T_{long}$ が成立するよう，T_{long} のパス上の Dc を調整する．ただし，T_{long} と T_{short} はそれぞれ制御対象信号の伝搬時間と制御信号の伝搬時間である．これにより，T'_{long} を求める 3 の数式は $T'_{long} = T_{long} - N_{Dc}T_{min}$ となり，新たな Dc の個数 N_{Dc} を求める 4 の数式は $N'_{Dc} = \lceil \frac{T_{short} - T'_{long}}{T_{min}} \rceil$ と変更される．

3.2 配置配線の最適化

DDP 回路の仮コンパイルによって必要な FPGA 回路資源量を見積り，それを元に適切にフロアプラン設計 [5] を行い，DDP の各ステージごとに配置配線を行う．これにより従来手法よりも配置配線面積を縮小して，配線遅延を低減する．

1. DDP に必要な FPGA 回路資源量 (各ステージの LAB 数，Memorybits, DSP Block 数)，および FPGA の配置領域 (基準座標 (x,y)，Width，MemoryBlock・DSPBlock の x 座標) を決定する．
2. $\lceil \sqrt{LAB\,数} \rceil$ より，各ステージの Width と Height を仮決定する．
3. 各ステージの配置座標 (x,y) をそれぞれの隣接関係に従って順に配置して仮決定する．
4. 各ステージにおいて，(Width*Height¿LAB 数) を満たす範囲で Width と Height を調整する．
5. 総面積が最小になるよう各ステージの配置座標 (x,y) を調整する．

これによって，T_{cp} を低減できるため，結果的に，3.1 の手法によって T_f もより低減でき，さらなる性能向上に繋がる．

4 評価

従来の設計自動化フローを用いた DDP[2] と提案手法を用いて設計した DDP でタイミング検証結果を比較した．評価対象は Intel 社 MAX10 FPGA を，回路設計ツールは Intel 社 Quartus Prime 18.0 を使用した．

表 1　DDP を対象とした提案手法の評価結果

		従来手法	提案手法
スループット	[packet/s]	25.4M	28.5M
DDP 回路規模	[LEs]	4574	4566
DDP 回路面積	[W x H]	26*22	23*23
設計時間	[min]	480	120
再コンパイル回数	[回]	12	4

従来手法と比較して，設計時間は 75%短縮，回路規模は 0.2%削減とほぼ変わらず，回路面積は 7.6%削減，スループットは 12.2%上昇を確認した．回路規模を維持したまま，回路面積の縮小とスループットの向上に成功したことから，DDP の性能向上が可能な効果的な設計最適化手法を提案できたと判断できる．

5 おわりに

DDP の設計自動化フローを拡張するために，制約条件の網羅的検証と DDP の性能向上を目的とし，データ転送制御回路に着目した回路最適化手法を検討し，結果，DDP の性能向上を実現できた．

今後の課題として，本研究のフロアプラン設計手法は単一コアの DDP の配置配線を想定したため，マルチコア化した DDP に対応した設計アルゴリズムも検討する必要がある．

参考文献

[1] H. Terada, et al., “DDMP’s: Self-Timed Super-Pipelined Data-Driven Multimedia Processors,” Proc. IEEE, vol. 87, no. 2, pp.282–296, Feb. 1999.
[2] 長野寛司, “FPGA を対象としたデータ駆動型プロセッサの設計自動化フローの検討,” 高知工科大学修士論文, 2021.
[3] 吉川他, “FPGA 向き自己同期型パイプライン回路構成法,” 情処研報, 2021-ARC-243(25), pp. 1–7, Jan. 2021.
[4] 尾ノ井嶺卓, “セルフタイム型複合データ転送制御回路の FPGA 実装用タイミング検証法,” 高知工科大学学士学位論文, 2021.
[5] 井上聡, “データ駆動型プロセッサの FPGA 実装におけるフロアプラン最適化の検討,” 高知工科大学学士学位論文, 2020.