

FPGA に組み込んだ 16bitANFIS によるアイリスデータセットのクラスタリング
Clustering of Iris Data Set with 16-bit ANFIS embedded in FPGA

1230025 宇田見 萌衣葵
(指導教員 星野 孝総 准教授)

1. 目的

近年、あらゆるモノがセンシングにより IoT 化されているが、一方でクラウドで扱うデータの量が膨大になり、消費電力と情報伝播時間の増加が問題となっている。この問題の解決策として注目されているのがエッジコンピューティングであり、本研究ではエッジコンピューティングの媒体として FPGA を用いることが CPU よりも処理効率の良いエッジコンピューティングの設計ができるかを検証することが目的である。

2. 研究内容・方法

3 種類のアヤメを識別するクラスタリングアルゴリズム (ANFIS) をソフトウェアとハードウェアの異なる 2 つのプログラム形式で作成し、Dual ARM@CortexA9 を内部プロセッサにもつ『DE1-SoC』という SoC-FPGA に格納する。ソフトウェア上で演算した結果と FPGA 上で演算した結果を比較し、FPGA によるクラスタリングアルゴリズムの精度及び処理時間はソフトウェアで実行するよりも優れているかを検証する。

実験の手順

1. ANFIS の設計

MATLABR2017a の機能である「Neuro Fuzzy designer」に irisdataset.csv を教師データとして変換した trainingdata.csv を読み込ませることで 4 入力 4MF (メンバーシップ関数) の ANFIS (図 1) を学習機能により設計した。

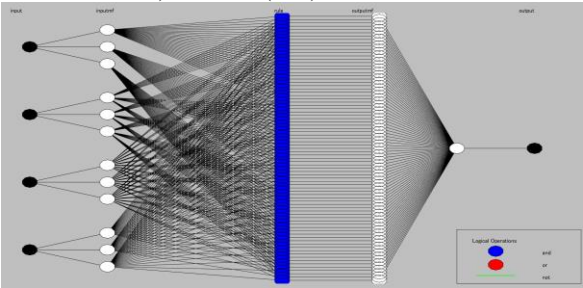


図 1. ANFIS の構造(4 入力 4MF)

2. クラスタリングデータの作成

iris-dataset.csv の品種のデータが格納されている列を削除し dataset.csv を作成した。

3. ソフトウェアプログラムの設計

手順 1 で作成した ANFIS のメンバーシップ関数の定数値データを基に Visual Studio Code で C 言語により dataset.csv をクラスタリングする ANFIS のプログラムを記述した。

4. ハードウェアの設計

手順 1 で作成した ANFIS のメンバーシップ関数の定数値データを基に Quartus II 13.1 で VerilogHDL により ANFIS のプログラムを記述した。ハードウェア/ソフトウェア協調設計として dataset.csv のデータを FPGA にポートで送受信するソフトウェアプログラムを Visual Studio Code で C++により設計した。

3. 結果・成果

ソフトウェアプログラムの ANFIS の演算結果と教師データとの相対誤差は平均値は 0.11642% で、小さいことから精度も高いことから ANFIS ソフトウェアプログラムは高い精度をもち正常にクラスタリングを実行するといえる。

次に本研究で作成したハードウェア論理回路は DE1-SoC の

容量を超えてしまい第 5 層までの設計が不可能となった為、FPGA に格納可能である第 1 層のみ演算し各演算結果を出力する論理回路とした。クラスタリング精度からソフトウェアプログラムの第 1 層の演算結果を理論値として精度の比較を実行し、演算の処理時間はソフトウェアプログラムとハードウェア論理回路のソフトウェア部のソースコードに時間を測定するコードを記述し測定した。

・精度の比較

表 3-1 第 1 層の各 MF 関数の演算結果の相関係数

lylin1_1	lylin1_2	lylin1_3	lylin2_1	lylin2_2	lylin2_3
0.99810	0.98917	1.00000	0.99173	0.85208	0.99999
lylin3_1	lylin3_2	lylin3_3	lylin4_1	lylin4_2	lylin4_3
1.00000	0.99606	1.00000	0.99778	0.99558	1.00000

ソフトウェアプログラムとハードウェア論理回路の第 1 層の各 MF の処理結果には強い正の相関関係があり、ハードウェア論理回路の出力結果はソフトウェアプログラムの出力結果は近似した値であり、精度も同等であると考えられる。

・処理時間の比較

表 3-2 ソフトウェアプログラムとハードウェア論理回路のデータセットの 1 行あたりの第 1 層の演算の平均時間[ms]

SW[ms]	HW[ms]
0.0029	0.036973333

表 3-3 ハードウェア論理回路の 1 つの MF の処理時間と 1 つの MF の処理のうちポートへの送信時間[ms]

5つのポートの送信時間[ms]	1つのMFの処理時間[ms]
0.00304	0.00356

演算処理時間はハードウェア論理回路よりもソフトウェアプログラムの方が速いという結果となった。考えられる原因は本来 12 個の MF を並列処理するのではなく順序処理するプログラムであり本来演算が速くなる並列処理ではないこと、1 つの MF の処理時間に対してその処理中の 5 つのポートへの送信時間を測定した結果(表 3-3)、ポートへの送信時間が 1 つの MF の処理時間を大きく占めていることが判明したことから 60 回ポートと送受信する 1 行のデータの処理の時間がソフトウェアプログラムに対して大きくなっていると考えられる。

4. まとめ

本来作成を予定していた第 5 層までの ANFIS を FPGA に実装することはできなかったが、演算結果の精度から第 1 層の実装は達成できた。処理時間はソフトウェアプログラムの方がハードウェア論理回路よりも速いが、本研究の目的は FPGA によるエッジコンピューティングの作成の検証である。ポートに情報を送信した後受信した演算結果が理論値と近似している値であることから、送受信の周期の間に演算が実行できていることが分かる。これはデバイスの周期内で演算を実行できているということでありエッジコンピューティングの処理時間として問題なく演算を事項できているということであり、本研究で作成したハードウェア論理回路はソフトウェアプログラムよりも処理時間が長いエッジコンピューティングとして設計することは成功している。今後の研究の課題としては第 5 層までの論理回路を FPGA に実装できるよう設計すること、消費電力の測定をすることでコストの比較をすること、処理時間の正確な測定を実施することを修士課程で取り組むこととする。