

データ駆動型プロセッサのFPGA向け電力効率向上手法の検討

1230369 松坂 拓海 【コンピュータ構成学研究室】

1 はじめに

近年, IoT(Internet of Things) が世界中の様々な分野で活用されており, IoT 端末数も年々増加傾向にある. そのような中, IoT デバイスには省電力, 計算処理性能, 柔軟性が求められている. これに対し, データ駆動型プロセッサ DDP(Data-Driven Processor)[1] は, 自己同期型パイプライン STP(Self-Timed Pipeline) で実現され, 省電力性, 並列計算性能に優れている. この DDP を目的に合わせて回路構成を変更できる FPGA(Field Programmable GateArray) に実装することで高い柔軟性を得られる.

本研究では DDP を Xilinx 社製 FPGA へ実装する際に, 現行の DDP の大部分を占めている D-FF を FPGA の BRAM に配置することで計算性能を維持しつつ回路規模を縮小する方法を検討し, 従来の回路構成に比べて電力効率を向上できることを報告する.

2 DDP の電力効率

コンピュータの電力効率は電力当たりの処理性能を示す $OPS(operations/sec.)/W$ が 1 つの指標となる. DDP の処理性能は最も処理に時間のかかるステージに律速されるため, OPS は $1/T_{MAX}$ となる.

一般に, 消費電力と回路規模は比例する傾向にあり, 回路規模を縮小しつつ OPS を維持すれば電力効率を高められる. そこで, 現行 DDP の回路規模を調べたところ, MMCAM ステージが全体の 65 % 程度を占めていることが分かった. これは, MMCAM 内部に DDP のマッチング機構のためのエントリ数 64, ワード長 19bit の CAM(Content Addressable Memory) があり, FPGA へ実装した際にスライス内の D-FF を用いた分散型メモリが合成されるためである.

3 BRAM を用いた MMCAM 構成

分散型メモリに代えて FPGA の BRAM を用いた MMCAM の回路構成に変更することで回路規模の大幅な縮小が期待できる. よって本研究では, BRAM を本来のアドレス指定型メモリとして活用する方法, および, CAM

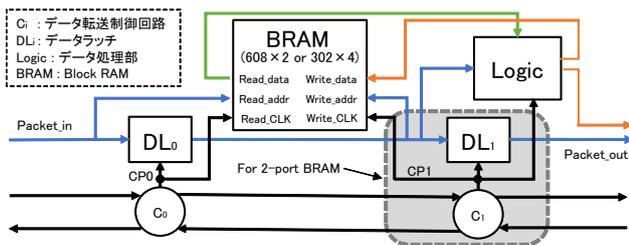


図 1 BRAM を活用した MMCAM の構成

の全データを 1 メモリ語として BRAM に格納する方法を検討した. その構成案を図 1 に示す.

前者の場合, さらに 1-port あるいは 2-port の構成が考えられる. 1-port 構成の場合, CP 信号をトリガとして BRAM に書き込み後, さらに読出しを行う必要があり, T_{MAX} が増加する. 一方, 2-port 構成は書き込み CLK と読出し CLK が必要なため, 図中灰色個所に示す C 素子 C_1 とデータラッチ DL_1 を追加する必要があり, 回路規模が増加するが, T_{MAX} すなわち処理性能は維持できる. この場合, メモリアドレス長に応じてメモリ利用率と BRAM 使用数との間にトレードオフがあると考えられる.

後者の場合, CAM 内のデータをまとめて 1 ワードとして読み書きを行えば, アドレスを固定した 1-port BRAM により MMCAM を構成できる.

4 評価

提案回路の評価のために, Xilinx 社 FPGA ZYNQ-7020 を対象として, 同社の Vivado2021.1 を使用して回路実装及び性能評価した. FPGA の電力計測には RouteR 社の USB 型のワットチェッカー (RT-USBVAC8QC) を使用した. 回路規模, 電力効率を図 2 に示す. Vivado の自動的な配置配線の都合上, T_{MAX} が流動的であるため, これの影響を受ける OPS と電力は評価に不向きと考え, 回路規模及び電力効率を重視した. BRAM 置換前の現行 DDP に対して置換後の 1-port CAM 構成 A, 2-port-1bit-address 構成 B, 2-port-2bit-address 構成 C はいずれも回路規模を削減できており, 特にレジスタすなわち D-FF の使用量は 65 % 程度削減できた. 加えて, 構成案 C は最も電力効率が向上しており, 提案回路中, 最も有望である. より正確な評価を行うには, 配置配線を自動ツールに任せず, DDP 用に最適化する必要がある, その手法については今後の課題とする.

参考文献

[1] 高橋 龍一, “データ駆動型プロセッサの環状パイプライン構成の比較検討”, 高知工科大学修士学位論文, 2022.

		Original	A	B	C
BRAM(port/Address)		D-FF	1port/fixed	2port/1bit	2port/2bit
FPGA resource	Slice	1,384	1,142	1,078	1,098
	BRAM	2	19	10.5	6.5
	Register	1,761	545	584	584
Power [W]		1.892	1.925	1.919	1.914
Performance[MOPS]		28.40	38.58	37.80	38.93
Performance/Power[MOPS/W]		15.01	20.04	19.70	20.34

図 2 提案構成の電力効率の評価結果