

修士論文

バンドギャップ基準電圧回路を対象とした BIST 手法に関する研究

Research on BIST Scheme for Band Gap Reference Circuit

報告者

学籍番号: 1255050

氏名: 青木 聡太

指導教員

橘 昌良 教授

令和 5 年 2 月 17 日

高知工科大学大学院工学研究科

基盤工学専攻電子・光工学コース

目次

第1章 序論	1
1.1 研究背景.....	1
1.2 研究目的.....	2
1.3 論文構成.....	2
第2章 BGR 回路	3
2.1 BGR 回路の構成と動作原理.....	3
2.1.1 PTAT 電圧と CTAT 電圧.....	3
2.1.2 BGR コア	5
2.2 スタートアップ回路	6
2.2.1 テスト入力発生機能を持つスタートアップ回路	7
2.3 BGR 回路の設計.....	8
2.3.1 BGR 回路1 の構成.....	8
2.3.2 BGR 回路2 の構成.....	10
2.4 ソースフォロワ回路の設計.....	11
第3章 BIST における故障検出方法	12
3.1 故障付加モデル.....	12
3.2 故障付加スクリプト	13
3.3 故障検出方法	14
3.4 故障検出時(テストモード)の信号操作とテスト結果	15
第4章 提案 BIST 機能を持つ BGR 回路の設計	16
4.1 BIST 回路	16
4.1.1 回路構成と故障検出手順	16
4.1.2 テスト応答解析器.....	17
第5章 提案 BIST の評価	20
5.1 試作チップの構成内容.....	20
5.2 テスト応答解析器の設計	21
5.2.1 テスト応答解析器の実測評価	22
5.3 BGR 回路のノード電圧実測評価.....	24
5.4 提案 BIST 回路の実測評価	27
5.5 考察.....	28
5.5.1 テスト応答解析器の実測結果について.....	28
5.5.2 BGR 回路の実測結果について.....	28
5.5.3 提案 BIST 回路の実測結果について.....	29
第6章 結論	30

第1章 序論

1.1 研究背景

製造技術が著しく向上している現代において、LSI(Large Scale Integration)の集積化および微細化が進み、トランジスタ 1 つにかかってくる製造コストも年々減少している傾向にある。しかしながら、それらをテストする際にかかるコストは集積化や微細化の影響により上昇傾向にあり、LSI 製造時のコスト内に占める割合も高く、大きな課題となっている。LSI テスタの高性能化、高機能化に伴う価格の上昇や、プロセスの微細化に伴いテスト項目が多様化し、様々なテストを実施するために、より高性能で高価な LSI テスタが必要になるといった点がテストコスト上昇の原因として挙げられる。一般的にこの問題を解決するための手法として、テスト容易化設計 DFT(Design For Testability)を用いる。その DFT の代表的な手法の 1 つが、組み込み自己テスト BIST(Built-In Self Test)である。BIST は従来のオフチップテストにおいてチップ外の LSI テスタの役割であったテストパターンを発生させるテスト入力発生器 TPG(Test Pattern Generator)とテスト応答を解析するテスト応答解析器 ORA(Output Response Analyzer)の機能を持つ回路をチップに組み込み、チップ内部でのテストを可能にする手法を指す。

BIST などの DFT 技術の実用化により、デジタル LSI のテストコストは小さくなっているのに対して、アナログ LSI に対する DFT として BIST が注目されているものの、多くの課題が存在しており実用化の例は少ない。

その例として、以下のようなものが挙げられる[1]。

- アナログ回路ではその回路ごとに性能を表す性能指標が異なるために、それぞれの性能指標に対応する汎用的なテスト手法の確立が困難である。
- 故障を判別するためにチップ内部に組み込む ORA などによる、チップ占有面積の増加。
- アナログ LSI においてはデジタル LSI に比べて素子ばらつきが回路性能に与える影響が大きいため、カタストロフィック故障(回路素子のショートやオープン)だけではなくパラメトリック故障(素子ばらつきによる回路性能の不足)も検出する必要がある。
- BIST 回路がテスト対象回路 CUT(Circuit Under Test)に対して、負荷になり性能を劣化させる。

これらから、BIST は小面積で通常動作時の回路性能に影響を及ぼさないことが大事である。

1.2 研究目的

本研究ではミックストシグナル LSI 等に用いられる参照電源電圧回路の一つである BGR(Band-Gap Reference)回路内における MOSFET のカタストロフィック故障を検出する BIST の提案を目的としている。提案 BIST では、パラメトリック故障を検出することが出来ないため、パラメトリック故障はチップ外のテストを用いたオフチップテストを行う必要がある。そこで、パラメトリック故障の検出を行うオフチップテストの前に用いることによって、未然にオフチップテストを行うチップ数を減少させ、テストコストの低下を狙った。

1.3 論文構成

本論文は、全 6 章で構成されている。本章では研究の背景と目的について述べている。2 章では、BGR 回路の動作原理と構成、設計について述べている。3 章では、BGR 回路を CUT とした BIST の故障検出方法について述べている。4 章では、提案 BIST 機能を持つ BGR 回路の設計について述べている。5 章では、提案 BIST 機能を持つ BGR 回路や故障検出を行うテスト応答解析器の測定評価と考察について述べている。そして 6 章では、本論文の結論について述べている。

第2章 BGR 回路

2.1 BGR 回路の構成と動作原理

BGR 回路は、環境温度が変化したり、製造プロセスが多少変わっていたり、電源電圧が変化していても一定の電圧が出力される電圧(電流)源である。一般的に、BGR はダイオードの温度特性を利用することにより温度変化に依存することのない基準電圧を生成している。本章では BGR 回路の動作原理に関する PTAT 電圧と CTAT 電圧および本研究で使用している BGR コアとスタートアップ回路の回路構成と動作原理について述べている。

2.1.1 PTAT 電圧と CTAT 電圧

一般的に出力電圧が一定で温度変化の影響を受けない回路を作るには、正の温度係数と負の温度係数を持つ2つの電圧を、適当な比率で加算する手法を用いる[2]。その手法は、PN 接合ダイオードの順方向特性を利用しており、順方向電圧 V_d と印加し流れる電流 I には式(2.1)のような関係がある。 k_B はボルツマン定数、 T は絶対温度、 q は電子の持つ電荷量、 I_s は飽和電流である。

$$V_d = \frac{k_B}{e} \ln\left(\frac{I}{I_s}\right) \quad (2.1)$$

ここで、飽和電流 I_s がシリコンバンドギャップ ϵ_g であることを考慮した順方向電圧 V_d と温度との関係を図 2.1 に示す。この図 2.1 から、一定の電流を与えたときダイオードの両端に現れる電圧 V_d は、高温になる程小さくなっていき、温度係数も負であることがわかる。更に、異なる電流である I_1 、 I_2 を与えたときに現れる電圧 V_{d1} 、 V_{d2} の差である ΔV_d は高温になるにつれて広がっていく傾向にある。この ΔV_d が正の温度係数を持つので、負の温度係数を持つ V_d と組み合わせることによって温度に依存することのない参照電圧が得られる[2]。

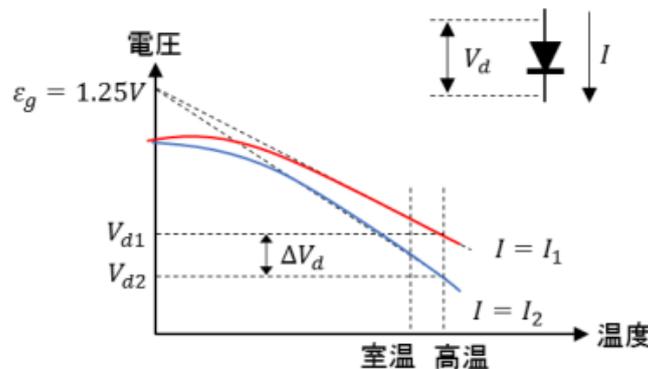


図 2.1 ダイオードの温度特性

正の温度係数を持つ電圧は PTAT(Proportional To Absolute Temperature)電圧，負の温度係数を持つ電圧は CTAT(Complementary To Absolute Temperature)電圧と呼び，以下では PTAT 電圧と CTAT 電圧の生成方法について述べる．図 2.2 に PTAT 電圧の生成方法を示す．図 2.2 にある 2 点 A, B 点での電位を同電位とし，ダイオード D_1 とそれを K 個並列に接続したダイオード D_2 ，そしてダイオード D_2 と直列に接続した抵抗 R を図 2.2 のように接続する．

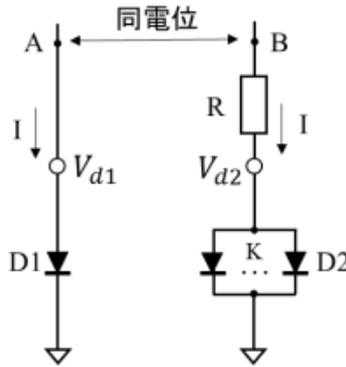


図 2.2 PTAT 電圧と CTAT 電圧の生成方法

ダイオード D_1 と D_2 に同じ電流 I を流すと，ダイオード D_1 の両端にかかる電圧 V_{D1} は式(2.2)のようになる． k_B はボルツマン定数， T は絶対温度， q は電子の持つ電荷量， I_s は飽和電流である．

$$V_{D1} = \frac{k_B T}{q} \ln\left(\frac{I}{I_s}\right) \quad (2.2)$$

さらに，もう一方のダイオード D_2 の両端にかかる電圧 V_{D2} を式(2.3)に示す．ダイオード D_2 はダイオード D_1 を K 個並列で接続しているため，1 個当たりのダイオードに流れる電流の比は $1:1/K$ となり， V_{D2} は負の温度係数を持つ CTAT 電圧となる．

$$V_{D2} = \frac{k_B T}{q} \ln\left(\frac{I}{KI_s}\right) \quad (2.3)$$

そして，正の温度係数を持つ ΔV_D は式(2.2)と式(2.3)の電位差であり，抵抗 R に生じるもので，式(2.4)で示される．この式(2.4)で示される ΔV_D が PTAT 電圧であり，製造プロセスや電流値などに左右されることのない安定した値を計測できる．

$$\Delta V_D = V_{D1} - V_{D2} = \frac{k_B T}{q} \ln\left(\frac{I}{I_s}\right) - \frac{k_B T}{q} \ln\left(\frac{I}{KI_s}\right) = \frac{k_B T}{q} \ln K \quad (2.4)$$

式(2.4)より，温度係数を求めると式(2.5)のようになる．この温度係数は常に正の値をとる．さらには，式(2.5)を見ると正の温度係数は電子の持つ電荷量や電流量には依存せずにダイオードの面積比 K にのみ依存する関数である．そのために，温度変化や素子ばらつきには影響を受けない参照電圧を生成することが出来る．

$$\frac{\partial \Delta V_D}{\partial T} = \frac{k_B}{q} \ln K \quad (2.5)$$

2.1.2 BGR コア

図 2.3 に本研究に使用した BGR コアの回路構成[3]を示す. この BGR は, BJT(Bipolar Junction Transistor)をダイオード接続することによって, 温度に依存しない出力電圧を生成している.

図 2.1 の K は BJT の Q_1 と Q_2 の面積比を表している. また, 低電圧で動作し高い利得を得られるように, オペアンプを用い, M_1 , M_2 , M_3 のカレントミラーをレギュレーテッド・カスコード構成[4]とした. レギュレーテッド・カスコード構成では, MOSFET の出力抵抗が $A \cdot gm$ 倍となる. A はオペアンプの利得であり, より利得の高いオペアンプを用いることで出力抵抗は大きくなるので, BGR コアには 2 段構成のオペアンプを用いる.

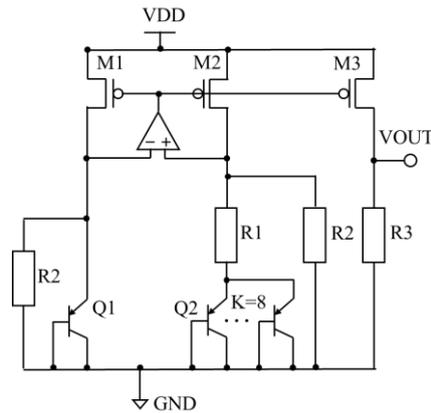


図 2.3 BGR コア

ここからは, BGR の動作原理について説明していく. BJT の Q_1 に印加される電圧 V_{BE1} は式 (2.6) で表される. この際, V_T は温度電圧, I_S は飽和電流である.

$$V_{BE1} = V_T \ln \frac{I}{I_S} \quad (2.6)$$

そして, オペアンプの入力端子 V_{inn} の電圧は V_{BE1} であり, 仮想短絡が考えられるため, V_{inp} の電圧も V_{BE1} となる. このことから, 抵抗 R_1 には V_{BE1} と BJT Q_2 の電圧である V_{BE2} との電位差 ΔV_{BE} が両端にかかり, R_2 には V_{BE1} が印加される. よって, M_1 , M_2 , M_3 に流れる電流 I は式(2.7)のように表される.

$$I = \frac{\Delta V_{BE}}{R_1} + \frac{V_{BE1}}{R_2} \quad (2.7)$$

そのため, 図 2.3 の回路構成と式(2.7)から出力電圧 V_{out} は式(2.8)で表される.

$$V_{out} = IR_3 = \frac{R_3}{R_1} \Delta V_{BE} + \frac{R_3}{R_2} V_{BE1} \quad (2.8)$$

式(2.8)から温度特性を求めるために, 抵抗の比 R_3/R_1 と R_3/R_2 が温度によって変化しないものと仮定する. そして, 出力電圧 V_{out} を温度 T で偏微分することによって出力電圧 V_{out} の温度係数が式(2.9)として与えられる.

$$\frac{\partial V_{out}}{\partial T} = \frac{R_3}{R_1} \frac{\partial \Delta V_{BE}}{\partial T} + \frac{R_3}{R_2} \frac{\partial V_{BE1}}{\partial T} \quad (2.9)$$

式(2.9)において右辺第1項に含まれる $\partial\Delta V_{BE}/\partial T$ は正の温度係数 PTAT を持ち、第2項に含まれる $\partial V_{BE1}/\partial T$ は負の温度係数 CTAT を持つ。これにより、二つの温度係数である PTAT と CTAT が互いに打ち消しあうことによって、 V_{out} の温度依存性が軽減される。

この、式(2.9)を見ると、抵抗 R_1 、 R_2 、 R_3 の値を調節し、 $\partial V_{OUT}/\partial T \approx 0$ になるときに動作させることにより温度依存性の低い基準電圧である出力電圧 V_{out} を生成することが出来る為、 $\partial V_{OUT}/\partial T = 0$ とすると、

$$0 = \frac{\partial\Delta V_{BE}}{\partial T} + \frac{R_1}{R_2} \frac{\partial V_{BE1}}{\partial T} \quad (2.10)$$

となる。

すると、PTAT 電圧 ΔV_{BE} は、

$$\Delta V_{BE} = \Delta V_{BE1} - \Delta V_{BE2} = V_T \ln \frac{I}{I_S} - V_T \ln \frac{I}{KI_S} = V_T \ln K \quad (2.11)$$

と表される。

よって、式(2.11)を式(2.10)に代入することにより式(2.10)は式(2.12)のようになる。

$$0 = \ln K \frac{\partial\Delta V_T}{\partial T} + \frac{R_1}{R_2} \frac{\partial V_{BE1}}{\partial T} \quad (2.12)$$

式(2.12)において回路設計者が変更できるのは、BJT の Q_1 と Q_2 の面積比 K および抵抗比 R_1/R_2 のみとなるので、この2つの値を調整することによって温度依存性の低い出力電圧 V_{out} を生成することが出来る。

2.2 スタートアップ回路

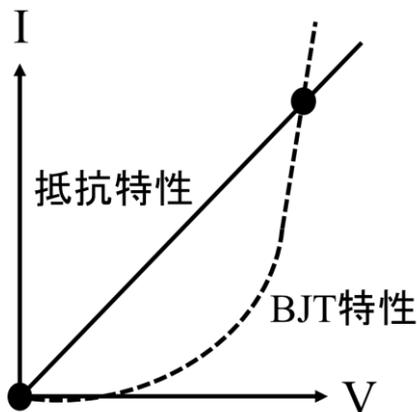


図 2.4 BGR の動作点

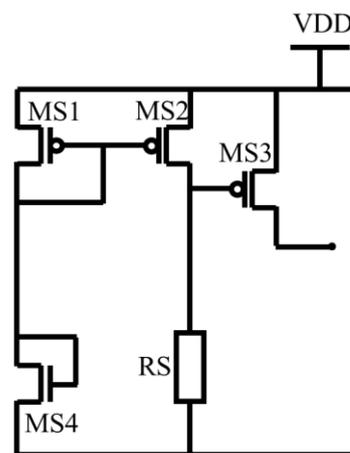


図 2.5 スタートアップ回路

本研究で使用している BGR 回路には BJT と抵抗を用いている。これらの2つの素子には電流特性に異なりがある。BJT の電流は指数関数的に増加するのに対して、抵抗の電流は直線的に増加していく。

その為、図 2.4 のような2つの動作点を持つ。しかし、動作点 A で動作した場合には電流がほとんど流れずに、所望するような出力電圧が得られずに BGR 回路が正しく動作することが出来ない。それゆえ、動作点 B で動作できるように、図 2.5 に示すスタートアップ回

路[5]を付加している．BGR 回路を起動させる方法としては，先行研究[1]で採用されている方式を用いている．

スタートアップ回路は， M_{S1} と M_{S2} に電流が流れている状態で BGR を動作させるために付加しており，動作としては，まず VDD の立ち上がりでは M_{S1} と M_{S2} には電流が流れておらず， M_{S3} のみがオン状態となり， Q_1 に電流が流れることによりオペアンプが起動する．さらに VDD が上昇すると，カレントミラー M_{S1} と M_{S2} に電流が流れ，抵抗 R_S にも電流が流れる．この際に抵抗 R_S に電圧がかかることで， M_{S3} がオフ状態となりスタートアップが終了するようになっている．

2.2.1 テスト入力発生機能を持つスタートアップ回路

図 2.6 には，図 2.5 のスタートアップ回路にテスト入力発生機能を加えたスタートアップ回路を示す．スタートアップ回路のパラメータは表 2.1 に示す．

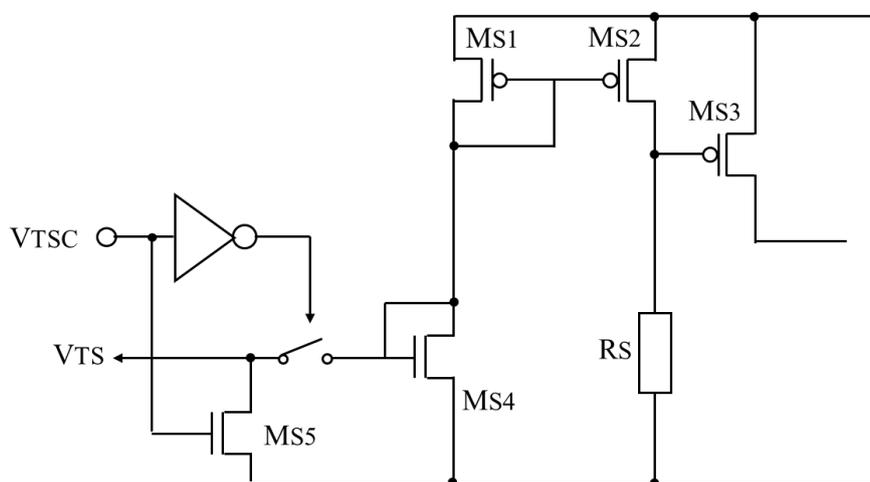


図 2.6 テスト機能を持つスタートアップ回路

表 2.1 スタートアップ回路の回路パラメータ

回路パラメータ	サイズ	並列数	
スタートアップ回路	M_{S1}, M_{S4}	$2.7\mu m/1\mu m$	2
	M_{S2}	$2.7\mu m/1\mu m$	4
	M_{S3}	$2.7\mu m/2\mu m$	2
	M_{S5}	$2.7\mu m/1\mu m$	4
	R_S	180k Ω	
スイッチとインバータ	<i>pMOS</i>	$4\mu m/180nm$	1
	<i>nMOS</i>	$4\mu m/180nm$	1

回路の構成としては、図 2.5 に示した従来のスタートアップ回路の M_{S4} のゲート端子に、外部からのテスト入力電圧制御信号 V_{TSC} で制御できるスイッチと NMOS の M_{S5} を追加することにより、モードの切り替えに伴ったテスト入力信号 V_{TS} を生成する仕様となっている。なお、この M_{S5} が故障してしまった場合には、テスト信号の入力を行うことが出来ず、BIST 回路が動作しないため、故障検出外としている。スタートアップ回路内にテスト入力発生器を組み込むことが出来る理由としては、スタートアップ回路は電源電圧 V_{DD} が立ち上がる時のみ動作し、 V_{DD} が安定することにより BGR から切り離されることが挙げられる。このようにして、テスト入力発生器をスタートアップ回路に組み込むことで高密度集積が可能となり、スタートアップ回路とテスト入力発生器を分けて実装するよりも占有面積を減らすことが出来る[1].

2.3 BGR 回路の設計

本節では、研究に使用した BGR 回路の設計について述べている。

2.3.1 BGR 回路 1 の構成

図 2.7 に先行研究[12]にて使用した BGR 回路を示す。スタートアップ回路と BGR コアによって構成されており、BGR コア内の BJT の Q_2 は 8 個を並列接続した。使用した 2 段構成のオペアンプは 1 段目を差動増幅回路、2 段目をソース設置増幅回路として、より高い利得が得られるように構成している。しかし、位相補償として 1 段目の 2 段目のソース設置増幅回路の間に 300fF のキャパシタ C_c を接続している。バイアス回路は自己バイアス[7]の構成とし、電源電圧の変動の影響を受けにくくした。

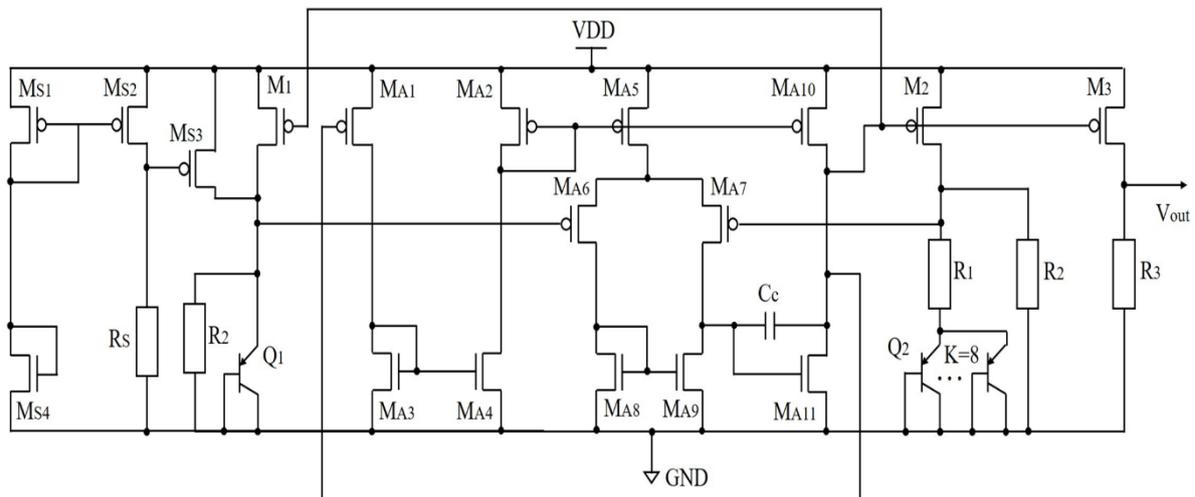


図 2.7 BGR 回路 1

BGR 回路 1 のレイアウトパターンを図 2.8 および図 2.9 に、回路パラメータを表 2.2 に示す。面積は回路 1 のパターン 1 が $137.28\mu\text{m} \times 271.88\mu\text{m}$ 、パターン 2 が $137.28\mu\text{m} \times 369.82\mu\text{m}$ となった。

回路1のパターン1, 2では, BGRを構成する抵抗 R_1, R_2, R_3 のレイアウトが異なる. パターン1では単純な直列接続によって抵抗値を合わせたが, パターン2の抵抗レイアウトでは, 単純に直列接続し抵抗値を合わせるのではなく, 同サイズのものを並列接続した抵抗を直列接続することによって, それぞれの値を実現している. 図2.8と図2.9を比較したらわかる通り, 抵抗を並列に接続することで面積が大きくなるが, 著しく設計値からずれた値の抵抗が発生する確率を下げることが出来る. また, BGR回路の出力電圧のばらつきも従来よりも抑えることが可能になると考えられる.

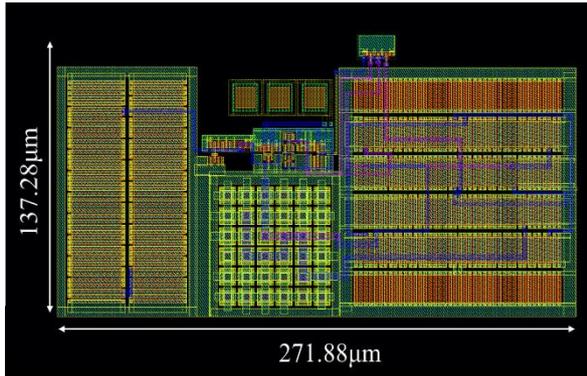


図 2.8 回路 1.1 のレイアウトパターン

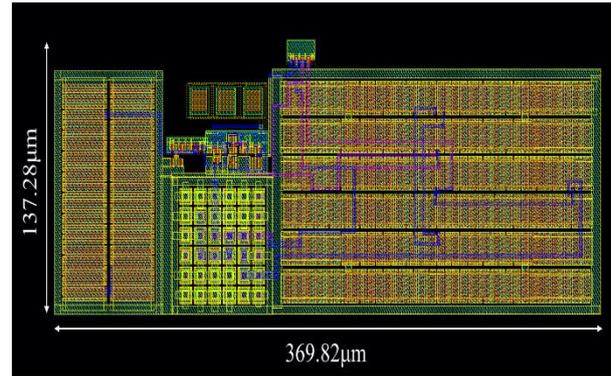


図 2.9 回路 1.2 のレイアウトパターン

表 2.2 BGR 回路 1 のパラメータ

回路パラメータ		サイズ	並列数
スタートアップ回路	M_{S1}, M_{S4}	$2.7\mu\text{m}/1\mu\text{m}$	2
	M_{S2}	$2.7\mu\text{m}/1\mu\text{m}$	4
	M_{S3}	$2.7\mu\text{m}/2\mu\text{m}$	2
	R_S	180k Ω	
BGR 回路	M_1, M_2, M_3	$1\mu\text{m}/1\mu\text{m}$	2
	R_1	11k Ω	
	R_2	112k Ω	
	R_3	90k Ω	
オペアンプ	$M_{A1}, M_{A2}, M_{A8}, M_{A9}$	$1.8\mu\text{m}/1\mu\text{m}$	2
	M_{A3}, M_{A4}, M_{A5}	$1.8\mu\text{m}/1\mu\text{m}$	1
	M_{A6}, M_{A7}, M_{A10}	$2.7\mu\text{m}/1\mu\text{m}$	2
	M_{A11}	$5.4\mu\text{m}/1\mu\text{m}$	2

2.3.2 BGR 回路 2 の構成

BGR回路2を図2.10に示す．BGR回路1と同様の構成で，2段構成のオペアンプを使用し，自己バイアスとしている．それに加えて，ソース，ドレインおよびボディを電源電圧VDDに接続したP型のMOSFET M_4 を M_2 と M_3 のゲートに挿入している． M_4 は，出力に与える電源電圧からの影響を少なくし，参照電圧の安定性を保証するために使用している[7]．

提案BGR回路2のレイアウトパターンを図2.11および図2.12に，回路パラメータを表2.3に示す．面積は回路2.1が $137.28\mu\text{m} \times 271.88\mu\text{m}$ ，回路2.2が $137.28\mu\text{m} \times 369.82\mu\text{m}$ となった．回路2.1と回路2.2では，回路1と同様にBGRを構成する抵抗 R_1 ， R_2 ， R_3 のレイアウトを変えている．

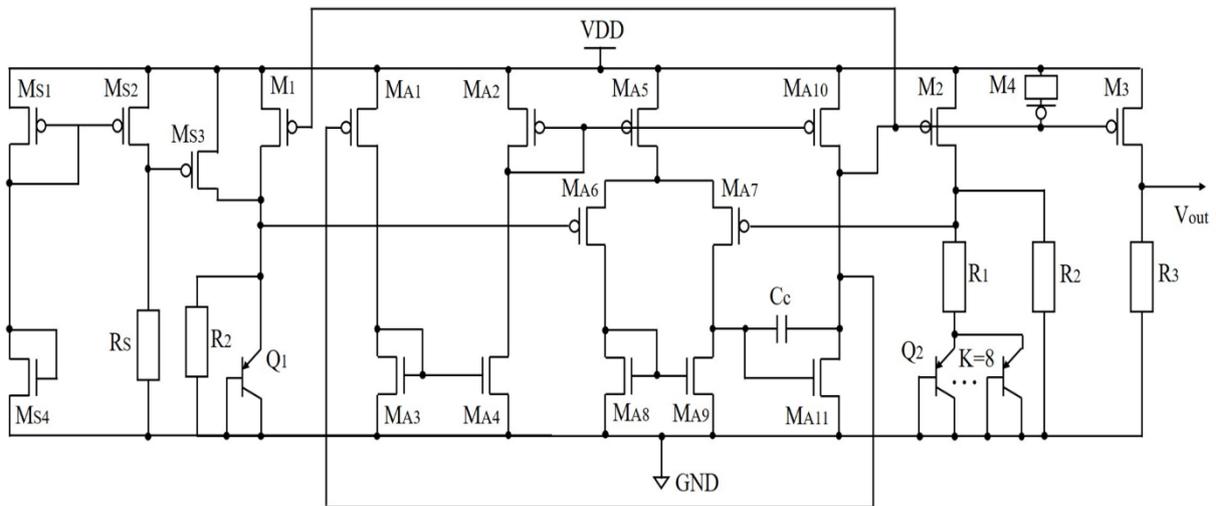


図 2.10 BGR 回路 2

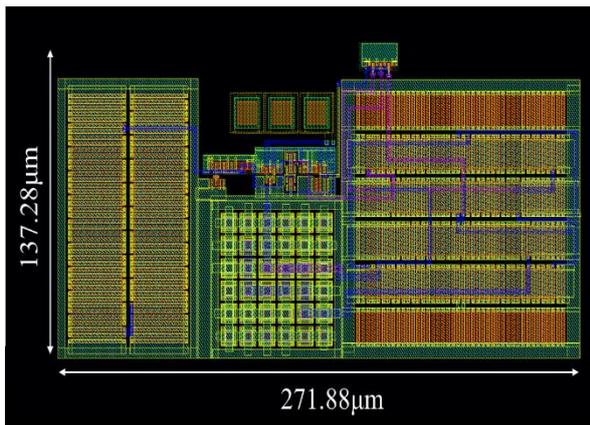


図 2.11 回路 2.1 のレイアウトパターン

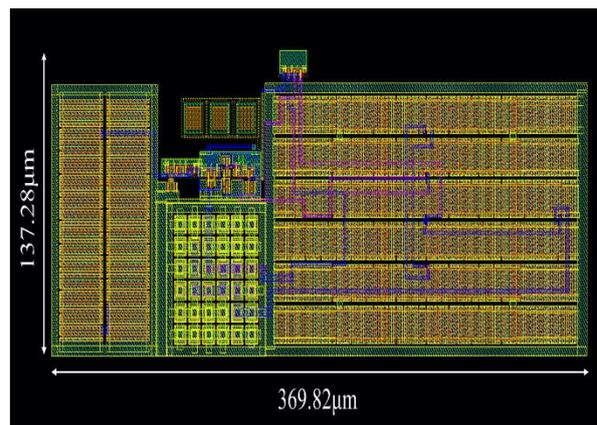


図 2.12 回路 2.2 のレイアウトパターン

表 2.3 BGR 回路 2 のパラメータ

回路パラメータ	サイズ	並列数	
スタートアップ回路	M_{S1}, M_{S4}	$2.7\mu m/1\mu m$	2
	M_{S2}	$2.7\mu m/1\mu m$	4
	M_{S3}	$2.7\mu m/2\mu m$	2
	R_S	$180k\Omega$	
BGR 回路	M_1, M_2, M_3	$1\mu m/1\mu m$	2
	M_4	$5\mu m/10\mu m$	2
	R_1	$11k\Omega$	
	R_2	$112k\Omega$	
	R_3	$90k\Omega$	
オペアンプ	$M_{A1}, M_{A2}, M_{A8}, M_{A9}$	$1.8\mu m/1\mu m$	2
	M_{A3}, M_{A4}, M_{A5}	$1.8\mu m/1\mu m$	1
	M_{A6}, M_{A7}, M_{A10}	$2.7\mu m/1\mu m$	2
	M_{A11}	$5.4\mu m/1\mu m$	2

2.4 ソースフォロワ回路の設計

本研究から使用することになった BGR 回路のノード電圧を変更するために設計したソースフォロワ回路を図 2.13 に示す. ソースフォロワ回路は入力電圧 V_{IN} を, 回路を構成する n 型の MOSFET のゲートソース間電圧 V_{GS} 分, 減圧して出力する回路であり, 本研究では BGR 回路のノード電圧を減圧するために使用しており, その計算式を式(2.13)として以下に示す.

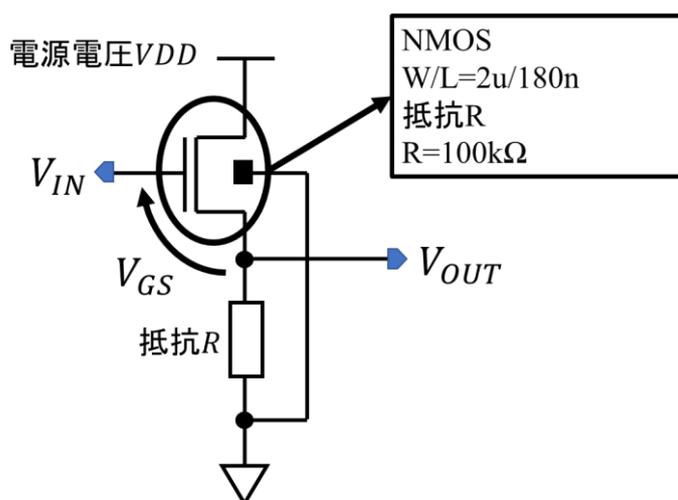


図 2.13 ソースフォロワ回路

$$V_{OUT} = V_{IN} - V_{GS} \quad (2.13)$$

第3章 BIST における故障検出手法

3.1 故障付加モデル

シミュレーションで BIST の故障検出手法を検討するとき，テスト対象回路 CUT 内の MOSFET にゲートとソース，ドレイン端子をそれぞれ短絡させたショート故障と開放させたオープン故障を付加する．しかし，単純にそれぞれの端子をオープン，ショートすると，シミュレータがエラーを出してしまうため，正しい結果が得られない．そのため，図 3.1 に示す故障モデル[8]を使用して，MOSFET に故障を付加することでシミュレーションによる検討をおこなった．ショート故障は，(a) GDS (Gate-Drain Short)，(b) GSS (Gate-Source Short)，(c) DSS (Drain-Source Short) であり，MOSFET のゲート，ドレイン，ソースのそれぞれの端子間に 10Ω の小さい値の抵抗を接続することでモデリングしている．オープン故障は，(d) DO (Drain Open)，(e) SO (Source Open)，(f) GO (Gate Open) であり， $100M\Omega$ の大きい値の抵抗と $10fF$ の小さい容量のキャパシタを並列接続したものをゲート，ドレイン，ソースのそれぞれの端子に挿入することでモデリングしている．

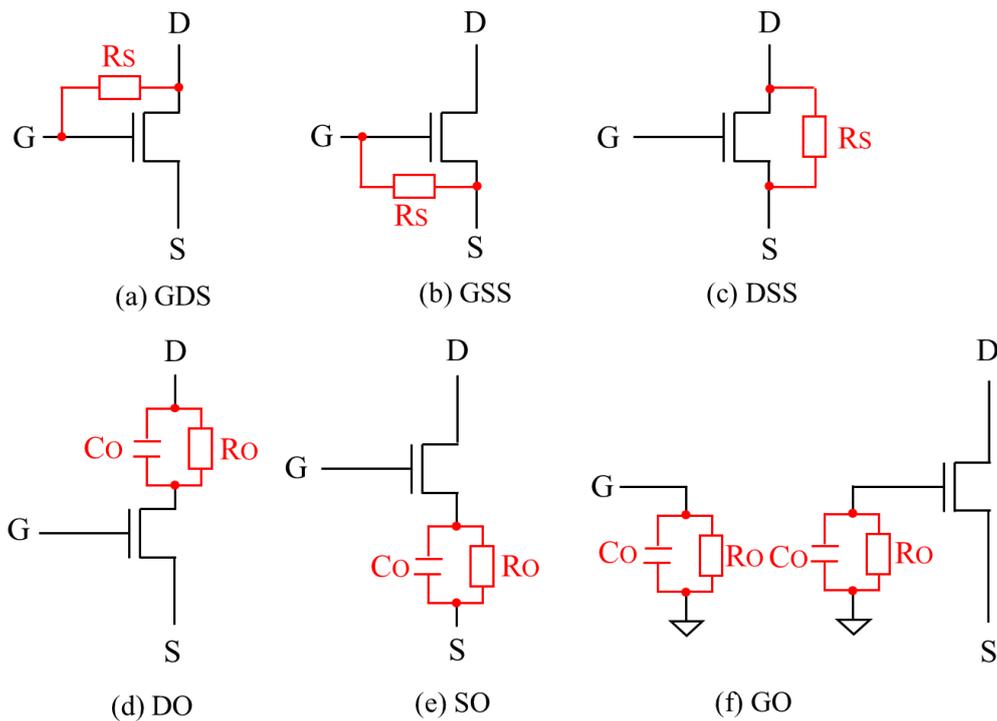


図 3.1 故障付加モデル

3.2 故障付加スクリプト

故障付加シミュレーションの検証をするには、単体の MOSFET それぞれに故障を付加しなければならない。通常 CAD ツールで設計した回路データから生成されたネットリストおよび SPICE シミュレータが参照する sp (spice) ファイルを編集することで、故障を付加することができる。しかし、今回は BGR 回路 1.2 を CUT に採用したため、18 個の MOSFET が故障検出対象となる。図 3.1 に示す 6 通りの故障モデルを 18 個の MOSFET それぞれに付加するため、単純に合計 108 回ネットリストを編集しなければならず、この編集作業を手動でおこなうと大変効率が悪くなる。

そこで、プログラム言語 perl でネットリストへの故障の付加および sp ファイルの編集をおこなうスクリプトを作製した [9]。図 3.2 にスクリプトを導入した場合の回路データからシミュレーションをおこなうまでのフローチャートを示す。スクリプトを使用することで、ネットリストへの故障付加と sp ファイルの編集が自動化でき BIST の検証の効率を上げることができる。

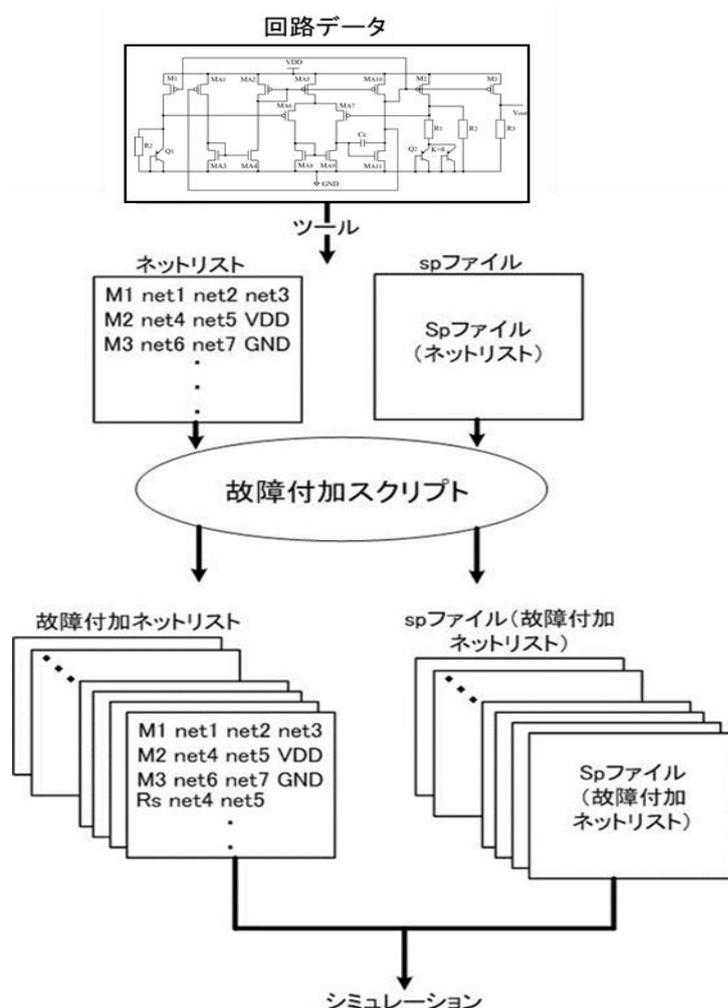


図 3.2 故障付加スクリプトを使用したネットリスト編集フロー

3.3 故障検出方法

故障シミュレーションにより得られた結果から故障検出方法の検討をおこなった。正常値から大きく外れる故障については、図 3.3 に示すウィンドウコンパレータ(WC)で故障判別ができる [10]。WC は、入力電圧が指定された電圧範囲内に入った場合に High を出力し、回路を構成する 4 つのインバータの W/L 比を調整することで入力電圧範囲を変更できる。出力電圧 V_{out} において故障判別を行う場合は、正常値 1.0V から大きく外れた故障の検出をおこなうため、図 3.4 に示すように WC の High を出力する入力電圧範囲を正常値 1.0V 付近に設定することで、故障検出が可能となる。しかし、故障していても正常値を出力する故障については、出力電圧で判別を行う WC を用いた方法では故障検出ができないため、出力電圧以外の故障に敏感なノードを選択し、それについても正常値と比較することで故障を検出できるようにした。

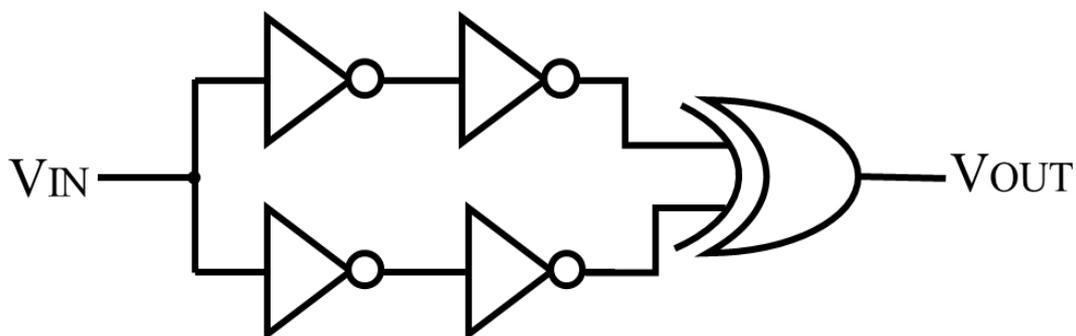


図 3.3 ウィンドウコンパレータ

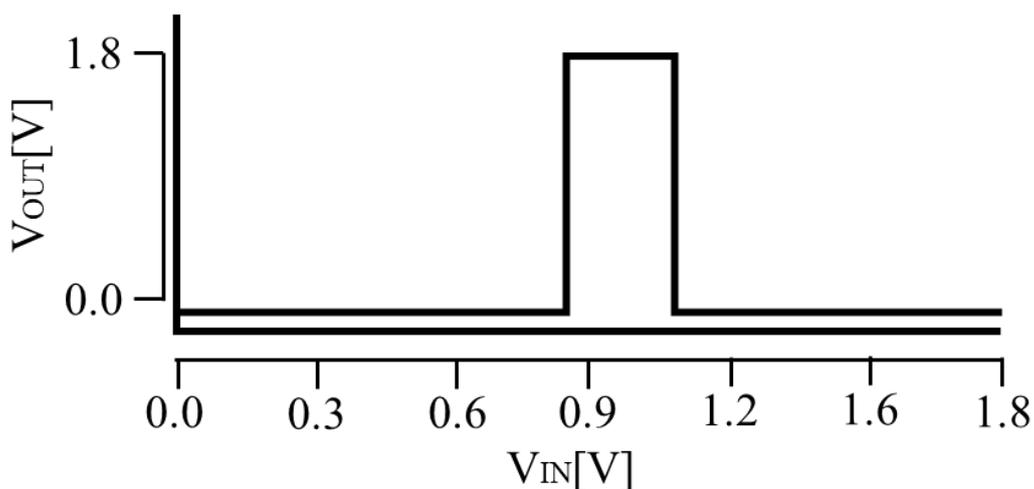


図 3.4 入出力特性

3.4 故障検出時(テストモード)の信号操作とテスト結果

故障の有無による出力信号であるテスト結果 V_{PF} の変化および外部制御信号の一例を図 3.5 に示す。故障検出のタイミングとしては、まずサンプリング信号 V_{SAM} 、スイッチ制御信号 V_{TM} 、テスト入力電圧制御信号 V_{TSC} の順で信号を High にする。テスト入力電圧制御信号 V_{TSC} が High になったタイミングで、テスト結果 V_{PF} が High か Low で出力される。図 3.5 において上から一番目の信号が故障のある場合のテスト結果 V_{PF} であり、上から二番目の信号が故障のない場合のテスト結果 V_{PF} である。前述の通り、故障があった場合は High となり、故障がない場合は Low となる。

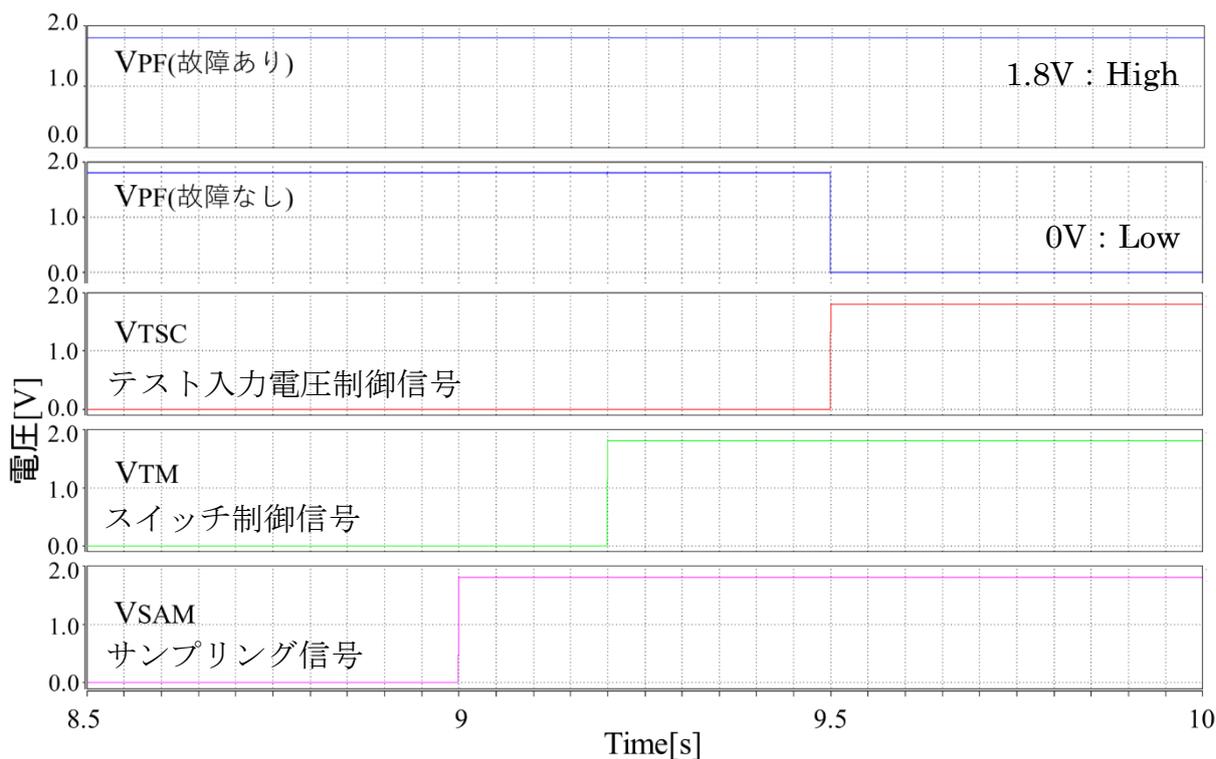


図 3.5 故障検出時の電圧操作とテスト結果 V_{PF} の故障動作

第4章 提案 BIST 機能を持つ BGR 回路の設計

4.1 BIST 回路

4.1.1 回路構成と故障検出手順

提案 BIST 機能を持つ BGR 回路は図 4.1 に示すように CUT(テスト対象回路)である BGR 回路とテスト応答解析器, テスト入力発生機能を持つスタートアップ回路で構成されている。

BGR 回路のレイアウトパターンを図 4.2, 応答解析器のレイアウトパターンを図 4.3 に示す。BGR 回路の面積は $155.76\mu\text{m} \times 450.16\mu\text{m}$, 応答解析器の面積は $46.24\mu\text{m} \times 120.06\mu\text{m}$ である。なお, CUT とした BGR 回路は図 2.9 の回路 1.2 をベースとしたものである。提案 BIST は, 必要に応じた故障判別をおこなえるように, オペアンプの入力 V_{in} である M_{A6} のゲート端子とスタートアップ回路が接続されている箇所を切断し, 外部から信号を入力できるようにしている。その切断箇所にも外部の信号で制御できるスイッチ S_1 と S_2 を搭載しており, スイッチを切り替えることで通常動作モードとテストモードに変更し, 必要に応じた動作をすることができる。スイッチ S_1 と S_2 は同時に ON もしくは OFF とならず, S_1 が ON のときに通常動作モード, S_2 が ON のときにテストモードとなる。スイッチには, 図 4.4 に示す p 型 MOSFET と n 型 MOSFET で構成したトランSMISSIONゲートを使用している。

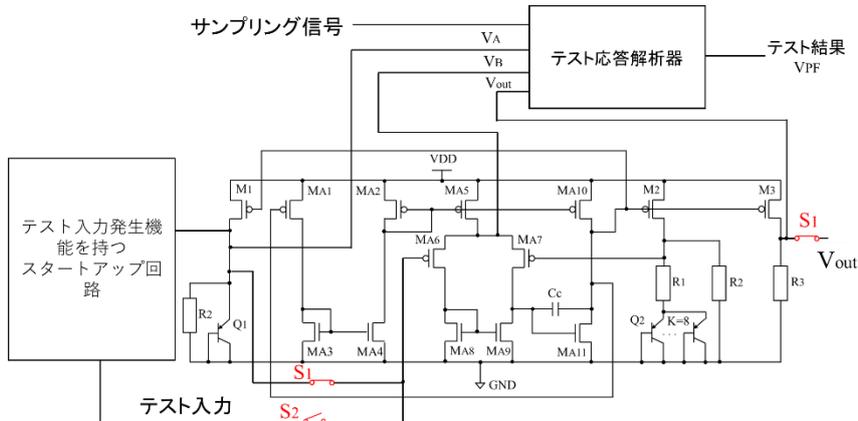


図 4.1 提案 BIST 機能を持つ BGR 回路の回路構成

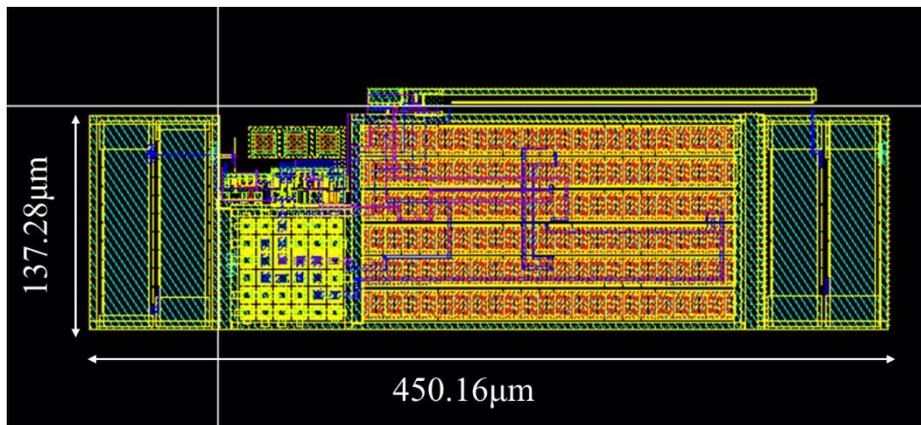


図 4.2 BGR 回路のレイアウトパターン

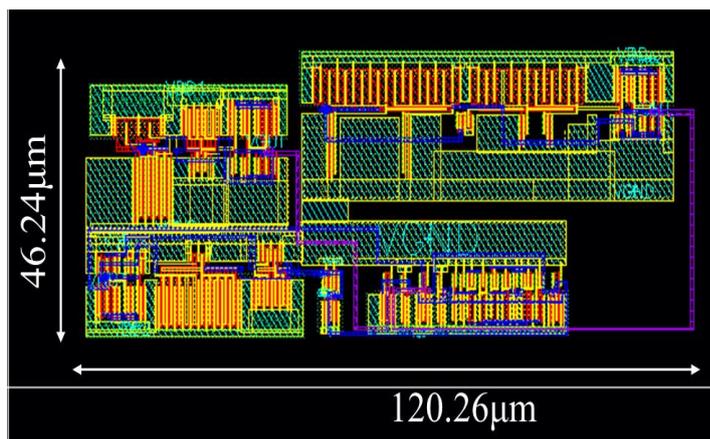


図 4.3 応答解析器のレイアウトパターン

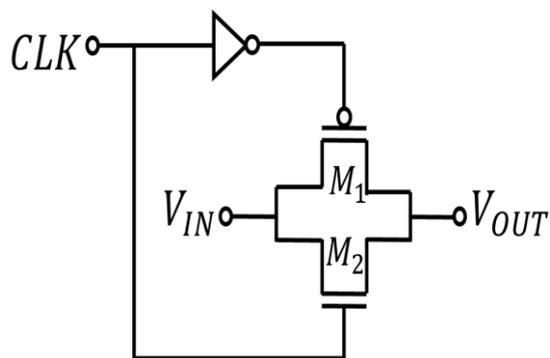


図 4.4 トランスミッションゲート

提案 BIST における故障検出手順を以下に示す。

1. S_1 を ON 状態にし、通常動作モードでスタートアップ回路から M_{A6} のゲート端子に切断する前と同じ電圧 $0.7V$ を入力する。
2. 通常動作時の出力電圧 V_{out} と、CUT の故障に敏感な 2 箇所 の電圧 V_A と V_B をそれぞれの正常値と比較する。
3. S_2 を ON 状態にしてテストモードに切り替え、外部からのテスト制御信号でテスト信号を $0.7V$ から $0V$ に変化させる。
4. テスト信号切り替え後 $0V$ のときの出力電圧 V_{out} を正常値と比較する。
5. 4 つの比較結果からテスト結果 V_{PF} がデジタル信号の High/Low で出力され、CUT の故障の有無を判断する。

4.1.2 テスト応答解析器

本研究で設計したテスト応答解析器の回路構成を図 4.9 に回路パラメータを表 4.1 に示す。故障検出手順で提案した故障判別方法は、CUT から取り出す 3 つのノード電圧を 3 つのウィンドウコンパレータ WC1, WC2, WC3 およびシンプルコンパレータ SC でそれぞれの正常値と比較することで実現した。実測において、素子ばらつきの影響で CUT の出力電圧とノード電圧が従来の正常値からずれ、あらかじめ想定した WC の入力電圧範囲外になる可能性があることが先行研究の結果[11]から分かった。そこで、素子ばらつきにより CUT のノード電圧が変化した場合でも後から入力電圧範囲を調節できるように、各 WC の電源電圧を全て分離し、外部からの電源電圧を変化できるようにし、最も大きなノード電圧のずれを確認した WC2 は故障検出が十分にできない事が先行研究[6]から分かっている。また、WC の入力電圧範囲の閾値は WC を構成する MOSFET のサイズを変更することで調節できる。調節方法については、図 4.7 のウィンドウコンパレータの INV1 と INV2, INV3 と INV4 はそれぞれ同サイズであり、INV1 と INV2 の PMOS のサイズを大きく、または NMOS のサイズを小さくすると、図 4.8 に示す入力電圧範囲の①側の閾値電圧を上げ、右にシフトすることができる。反対に、INV1 と INV2 の PMOS のサイズを小さく、または NMOS のサイズを大きくすると、①側の閾値電圧を左にシフトすることができる。INV3 と INV4 も同様に、PMOS のサイズを

大きく、または NMOS のサイズを小さくすると、②側の閾値電圧を右にシフトすることが出来る。

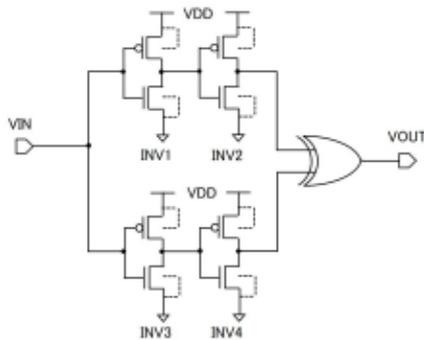


図 4.7 ウィンドウコンパレータの回路構成

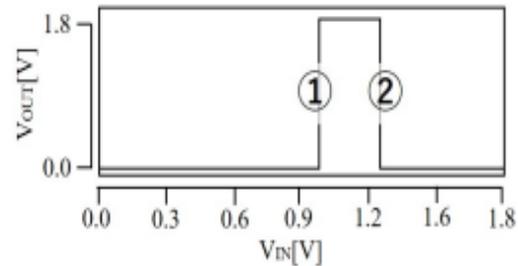


図 4.8 ウィンドウコンパレータの入力電圧範囲

説明した調節方法により、通常動作時の正常値 $V_A = 0.70V$ 、 $V_B = 0.76V$ 、 $V_{OUT} = 1.00V$ に合わせ、それぞれの WC の入力電圧範囲を、WC1 を $0.50 \sim 0.89V$ 、WC2 を $0.62 \sim 1.02V$ 、WC3 を $0.90 \sim 1.14V$ に設計した。設計した入力電圧範囲は、CUT のばらつきの影響だけでなくウィンドウコンパレータ自身の素子ばらつきも考慮し、先行研究に搭載した従来のウィンドウコンパレータ[11]よりも低電圧帯で広く取った。シンプルコンパレータについては、入力電圧が $0.7V$ 以下で High を出力する、図 4.10 に示すような入出力特性を持つ仕様に設計した。

テスト応答解析器の動作について説明する。最初に、テスト入力信号 V_{TS} を $0.7V$ としたときの V_A と V_B をそれぞれの正常値との比較し、得られた結果を AND 回路に入力する。次に、テスト入力信号 V_{TS} を $0.7V$ に維持したまま、先ほど得られた結果と V_{OUT} の正常値との比較結果を AND 回路に入力する。そして、その結果とサンプリング信号 V_{SAM} を DFF に入力して、その結果をホールドする。 V_{TS} を $0V$ に切り替え、INV 構成のシンプルコンパレータによって V_{OUT} を正常値と比較する。最後に、NAND 回路にシンプルコンパレータによる比較結果と DFF によりホールドされていた比較結果を入力し、テスト結果 V_{PF} を出力する。CUT の故障の有無は、 V_{TS} を $0V$ にしたときの出力 V_{PF} を観測することで判断でき、故障がある場合は V_{PF} が High、ない場合は Low となる。

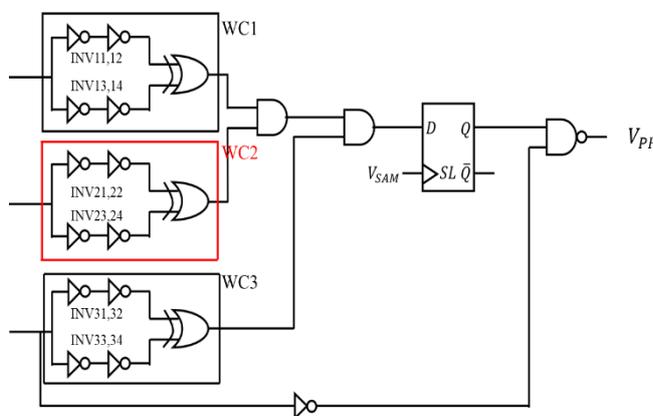


図 4.9 テスト応答解析器

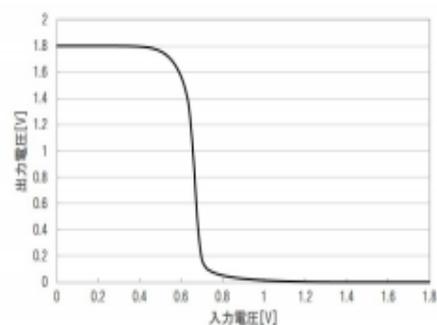


図 4.10 シンプルコンパレータの入出力特性

表 4.1 テスト応答解析器の回路パラメータ

回路パラメータ			サイズ	並列数
WC1	INV11, 12	<i>pMOS</i>	2 μ m/1.6 μ m	2
		<i>nMOS</i>	9 μ m/200nm	4
	INV13, 14	<i>pMOS</i>	4 μ m/200nm	4
		<i>nMOS</i>	2 μ m/200nm	2
WC2	INV21, 22	<i>pMOS</i>	1 μ m/1 μ m	8
		<i>nMOS</i>	200nm/9 μ m	1
	INV23, 24	<i>pMOS</i>	1 μ m/4 μ m	6
		<i>nMOS</i>	200nm/3 μ m	1
WC3	INV31, 32	<i>pMOS</i>	4 μ m/200nm	4
		<i>nMOS</i>	2 μ m/200nm	2
	INV33, 34	<i>pMOS</i>	7 μ m/200nm	10
		<i>nMOS</i>	1 μ m/200nm	2
WC1, 2, 3	Other MOS	<i>pMOS</i>	4.4 μ m/200nm	1
		<i>nMOS</i>	2.2 μ m/200nm	1
SC		<i>pMOS</i>	3 μ m/200nm	2
		<i>nMOS</i>	3 μ m/200nm	4
Other MOS		<i>pMOS</i>	4 μ m/200nm	1
		<i>nMOS</i>	2 μ m/180nm	1

第 5 章 提案 BIST の評価

5.1 試作チップの構成内容

本章では，2021 年 10 月に設計したテスト応答解析器の変更と BGR 回路のノード電圧の変更をメインにした提出チップと，2022 年 9 月に設計した BGR 回路のノード電圧の変更をメインにした提出チップのシミュレーションと実測における評価結果を述べる．試作チップのレイアウトパターンを図 5.1，図 5.2 に示す．本研究での回路設計は Rohm0.18 μm テクノロジーで行い，チップ試作も Rohm0.18 μm プロセスで行われた．

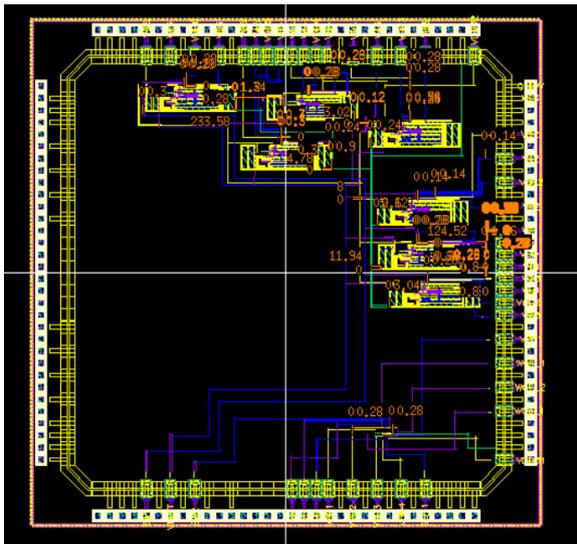


図 5.1 2021 年 10 月試作チップレイアウト

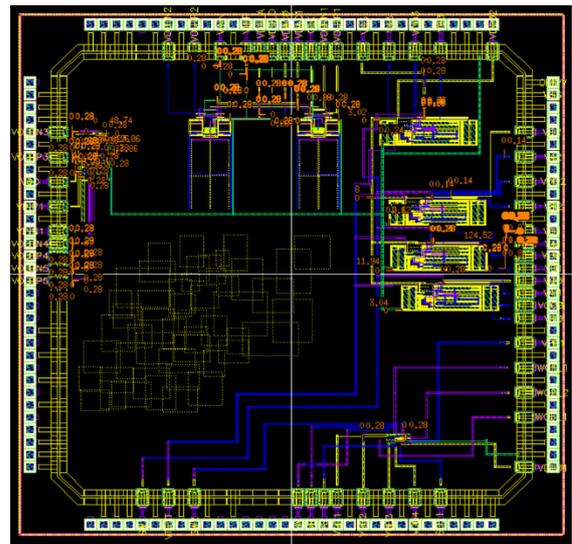


図 5.2 2022 年 9 月試作チップレイアウト

2021 年 10 月チップには，2 章に記述した BGR 回路 2 をベースにして作成した，故障を付加していないものと 3.1 に記述した 6 通りの故障を付加した計 7 通りのスタートアップ回路付き BGR 回路と単体テスト応答解析器の計 8 回路を搭載した．2022 年 9 月チップでは，2021 年 10 月試作チップに搭載した故障を付加していない BGR 回路と，その BGR 回路を構成する MOSFET の W/L 比を変更した 3 通りの BGR 回路の計 4 通りの BGR 回路を搭載した．テスト応答解析器単体では，構成する WC と SC の性能評価もおこなえるように，それぞれの出力箇所からノード端子を出している．評価項目としては，BIST の故障検出性能，BGR 回路のノード電圧の電源電圧特性，テスト応答解析器単体の性能とテスト応答解析器を構成する素子の入力電圧範囲である．なお，実測に用いた測定機器は，表 5.2 に示しているものである．

測定方法としては，作製した治具を用い，試作チップの各ピンをマルチメータや直流電源などの測定機器に接続することで測定をおこなった．

5.2 テスト応答解析器の設計

本チップに搭載したテスト応答解析器を図 5.3, レイアウトパターンを図 5.4 に示す. 回路面積は, $46.24\mu\text{m} \times 120.06\mu\text{m}$ となった. 本研究の回路設計における設計環境は表 5.1 に示す.

表 5.1 設計環境

ツール	用途	メーカー
IC614	アナログ設計プラットフォーム	Cadence
HSPICE	回路シミュレーション	Synopsys
CosmosScope	波形ビューア	Synopsys
Star-RCXT	配線 RC 抽出	Synopsys
Calibre	LVS/DRC 検証	Mentor

テスト応答解析器の入力電圧範囲と BGR 回路のノード電圧の変更をメインとした 2021 年 10 月提出チップは, 先行研究[12]において変更が必要と判断されたテスト応答解析器を構成している INV を WC2 に変更した. これは, 先行研究[12]の評価において, INV では故障判別を行うために入力する BGR 回路からのノード電圧が正常値と比較することを十分に行うことが出来ないために WC2 に変更を行った. その一方で, WC2 は先行研究[6]の際にシミュレーションの値と大きく異なっていたために全体的な改良が必要だった. 特に, 電源電圧を 1.8V に設定しているために 1.8V に近いノード電圧 V_B が WC2 に入力された場合に正しく故障検出されないという問題があった. そこで 2021 年 10 月チップでは WC2 の入力電圧範囲をシミュレーション段階で 1.24~1.45V から 0.62~1.02V の低電圧帯に下げ範囲を広げた.

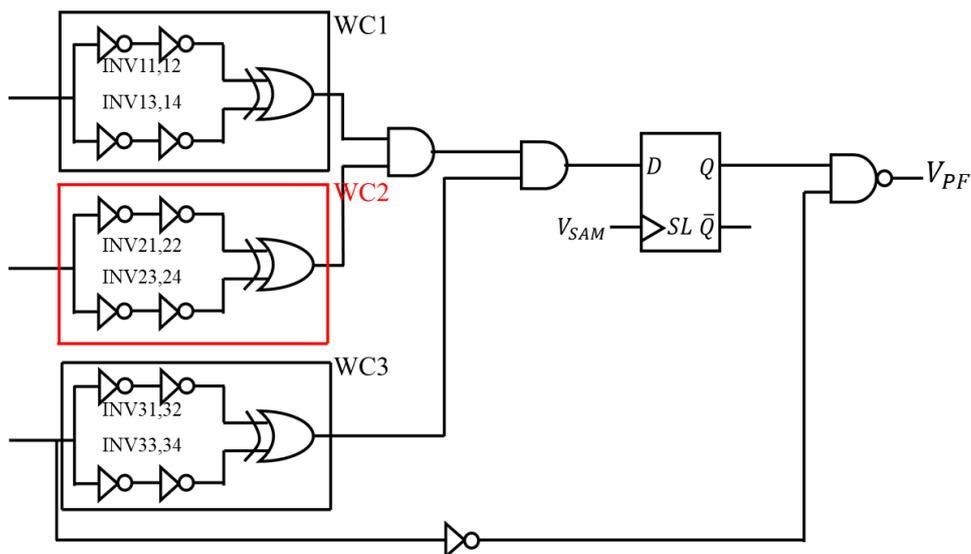


図 5.3 本研究で使用したテスト応答解析器

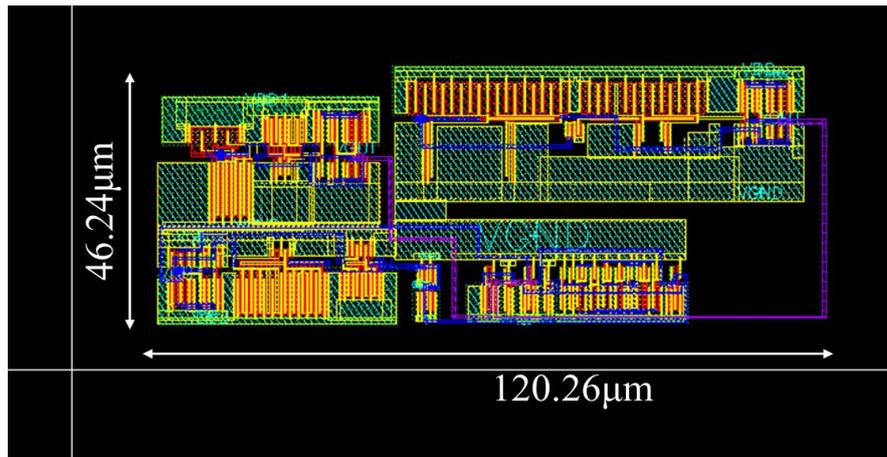


図 5.4 本研究で使用したテスト応答解析器のレイアウトパターン

5.2.1 テスト応答解析器の実測評価

表 5.2 に実測に用いた測定機器を示す。測定方法としては、図 5.5 の治具を用いて、試作チップの各ピンをマルチメータや直流電源などの測定機器に接続することで測定をおこなった。なお、動作電源範囲と出力範囲の評価で試作チップの出力電圧を測定する際には Excel のマクロ機能を用いて、VBA(Visual Basic Applications) によりマルチメータおよび直流電源をプログラム制御することで自動測定をおこなった。

表 5.2 測定機器

名称	型式	メーカー
DC Power Supply	E3642A	Agilent Technologies
DC Power Supply	E3610A	Hewlett-Packard Company
DC Power Supply	E36102B	KEYSIGHT
6 1/2 Digits Multimeter	34401A	Agilent Technologies



図 5.5 作成した測定用治具

テスト応答解析器は WC と SC の出力結果を観測できるようにした。1~10 チップにおいて 0.02V 刻みで 0V から 1.8V まで入力電圧を変化させたときの 出力電圧を測定し、WC1, WC2, WC3, および SC それぞれの入力電圧範囲を評価した。その結果を図 5.6, 図 5.7, 図 5.8, 図 5.9 に WC1, WC2, WC3, SC の順で示す。なお、黒色の点線で示すグラフがシミュレーション値, その他の点線で示すグラフが実測値である。

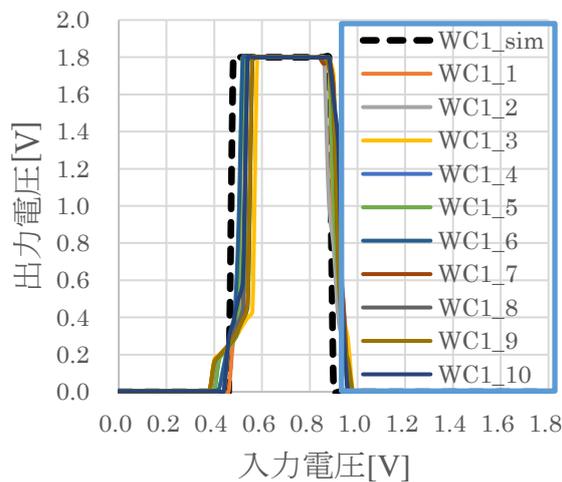


図 5.6 2021 年 10 月 WC1 入力電圧範囲

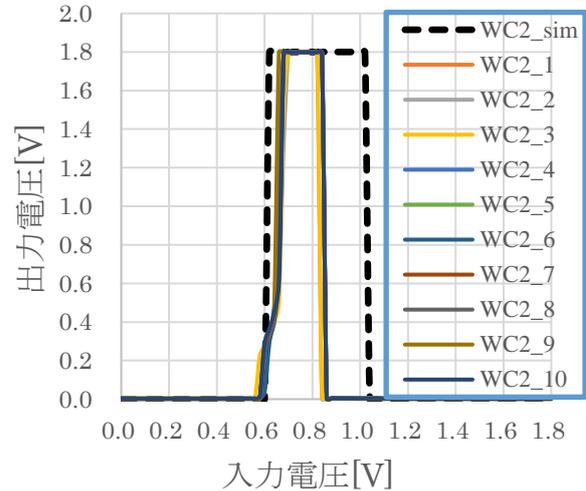


図 5.7 2021 年 10 月 WC2 入力電圧範囲

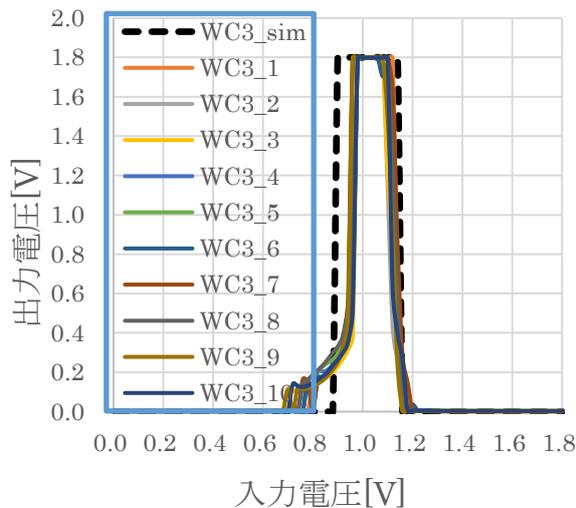


図 5.8 2021 年 10 月 WC3 入力電圧範囲

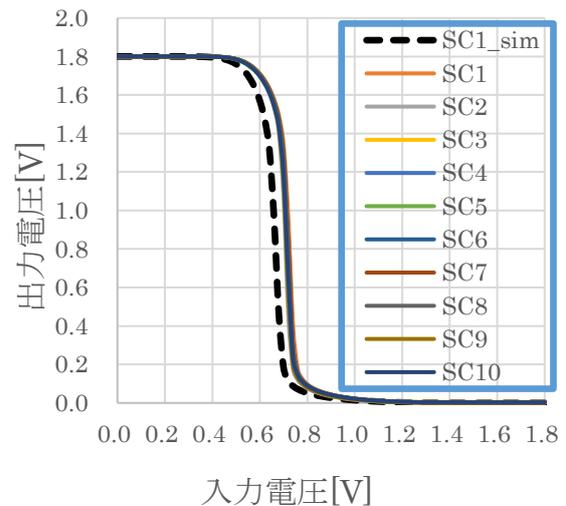


図 5.9 2021 年 10 月 SC 入力電圧範囲

WC1 の入力電圧範囲はシミュレーションでは 0.50V~0.89V であったが、実測での平均値が 0.54V~0.88V となった。WC2 の入力電圧範囲はシミュレーションでは 0.62V~1.02V で、実測での平均値が 0.68V~0.84V となった。WC3 の入力電圧範囲はシミュレーションでは 0.90V~1.14V であったが、実測での平均値が 0.97V~1.10V となった。WC1 と WC3 に関しては、先行研究[12]から目標値を達成していたが、WC2 を変更したことによる影響がないかを含めて計測を行った。結果として、WC2 の変更で WC1 と WC3 の入力電圧平均範囲は 0.56V~0.84V から 0.54V~0.88V, 0.97V~1.09V から 0.97V~1.10V へと広がって計測された。

そのため、入力電圧範囲を広げ故障判別の精度に問題がないことが確認出来た。

この入力電圧平均範囲は立ち上がりの平均値と立ち下りの平均値をまとめたものである。WC2 に関しては、入力電圧範囲がシミュレーションの $0.62\text{V}\sim 1.02\text{V}$ と比べて立ち下りの閾値電圧の値が大幅に狭い $0.68\text{V}\sim 0.84\text{V}$ となった。設計段階で入力電圧範囲は広くしているため故障判別の精度としては問題ない値ではあるが、目標値として今後の設計では立ち下りの閾値電圧が 0.9V 程度になる設計をするとより精度の高い故障判別が行えると考えられる。そして、今回の試作チップの変更点である WC2 のレイアウト変更に伴って入力電圧範囲が想定よりも狭くなることが確認できたので、この値を出来る限り安定して測定することが出来る素子ばらつきのないレイアウト設計を考える必要があると分かった。

SC については、シミュレーションと実測で閾値に 0.05V 程度のずれが生じたが、これは実用上許容出来るものであると考えられるので、先行研究[6]から変わらず再設計の必要はないと考えられる。

5.3 BGR 回路のノード電圧実測評価

本節では、前節と同様の測定環境にて前節で測定を行ったテスト応答解析器の WC に入力する BGR 回路のノード電圧の電源電圧特性の実測を行った。

テスト応答解析器は BGR 回路からのノード電圧が正常値付近の場合にそれぞれの WC と SC の出力がそれぞれ High と Low を検出し、出力 V_{PF} が Low を検出することによって故障なしと判別することが出来る。

そこで今回は、2021 年 10 月チップと 2022 年 9 月チップを 7 チップずつ用いて BGR 回路のノード電圧 V_A , V_B , V_{OUT} を測定し、それらのノード電圧の実測値がシミュレーション時のものと比較して、正常に出力されているかを測定した。これは、本来の目的である BGR 回路の故障検出を行うために、前節で測定したテスト応答解析器が持つ入力電圧範囲内の電圧を BGR 回路が出力しているかを確認するための実測である。本研究で使用した BGR 回路の回路設計モデルを図 5.10 に示す。使用した BGR 回路は、第 2 章に示した図 2.9 をベースに改良を加えたものである。

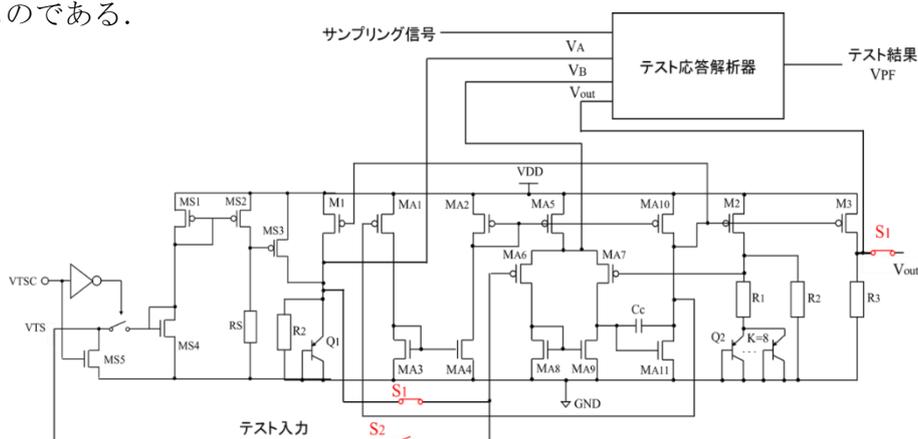


図 5.10 本研究で使用した BIST 手法の回路図モデル

測定方法は、テスト応答解析器を測定した際と同じで、Excel のマクロ機能を用いて電源電圧を 0V から 2.5V へと 0.02V 刻みで変化させることによって測定した。

以下の表 5.3～表 5.5 は、2021 年 10 月チップに搭載した試作 BGR 回路 1 と 2022 年 9 月チップに搭載した試作 BGR 回路 2～4 の計 4 つの BGR 回路の各ノード電圧 V_A 、 V_B 、 V_{OUT} の電源電圧 1.8V 時の出力電圧値を比較したものである。

表 5.3 BGR 回路のノード電圧 V_A 比較 電源電圧(@VDD=1.8[V])

No	試作 1	試作 2	試作 3	試作 4
Simulation	0.71385	0.71385	0.71385	0.71385
Chip 1	0.74808	0.33793	0.31496	0.00673
Chip 2	0.34044	0.39656	0.37656	0.33068
Chip 3	0.17973	0.17732	0.16095	0.73907
Chip 4	0.36873	0.42841	0.33797	0.34463
Chip 5	0.00503	0.28315	0.20862	0.01119
Chip 6	0.73855	0.34887	0.44057	0.21614
Chip 7	0.74314	0.12884	0.01981	0.11908

表 5.4 BGR 回路のノード電圧 V_B 比較 電源電圧(@VDD=1.8[V])

No	試作 1	試作 2	試作 3	試作 4
Simulation	0.76459	0.67967	0.72409	0.78482
Chip 1	0.85990	0.76326	0.43367	0.86354
Chip 2	0.48268	0.75162	0.81016	0.85521
Chip 3	0.33383	0.30227	0.28996	0.85423
Chip 4	0.84360	0.76960	0.80078	0.84334
Chip 5	0.84317	0.76970	0.82212	0.84403
Chip 6	0.84667	0.76151	0.81139	0.39735
Chip 7	0.82665	0.22966	0.38504	0.27168

表 5.5 BGR 回路のノード電圧 V_{OUT} 比較 電源電圧(@VDD=1.8[V])

No	試作 1	試作 2	試作 3	試作 4
Simulation	0.99305	0.99305	0.99305	0.99305
Chip 1	1.04549	0.34075	0.26012	0.03211
Chip 2	0.27107	0.96886	0.98333	0.27194
Chip 3	0.15193	0.15893	0.13534	1.08256
Chip 4	0.98315	1.03455	0.27466	0.27200
Chip 5	0.00850	0.29512	0.13534	0.01294
Chip 6	1.02732	1.04950	1.00473	0.19773
Chip 7	1.04283	0.09933	0.23467	0.08829

試作 BGR 回路 1~4 の各ノード電圧値 V_A , V_B , V_{OUT} は、シミュレーション時のものと比較して大きくずれる結果になった. 先行研究[12]においてはこのような大幅なシミュレーション値のずれは確認されておらず, 2.4 で示したソースフォロワ回路を搭載した 2021 年 10 月チップの試作 1 からこのずれは確認された. さらに, ソースフォロワ回路を構成する n 型 MOSFET が動作し始める電源電圧 1.0[V]程度から, ノード電圧実測値とシミュレーション値がずれ始めた. このことから, 試作 BGR 回路 1~4 のずれはソースフォロワ回路が想定と異なった動きをしていることによって生じていると考えられる. そのため, ソースフォロワ回路が周りに与える影響を抑える設計を考える必要がある.

そして, 以下の表 5.6, 表 5.7 には, 各ノード電圧値が目標値をどれだけ達成しているかを示す. 表 5.6 は電源電圧を 0.02V ずつ増加させた場合, 表 5.7 は, 電源電圧を 1.8V でいきなり入力した際のノード電圧である.

表 5.6 各ノード電圧の目標値達成数 1

ノード電圧	V_A	V_B	V_{OUT}
試作 1	3/7	5/7	4/7
試作 2	0/7	5/7	3/7
試作 3	0/7	4/7	2/7
試作 4	1/7	5/7	1/7
総合数	4/28	19/28	10/28

表 5.7 各ノード電圧の目標値達成数 2

ノード電圧	V_A	V_B	V_{OUT}
試作 1	6/7	6/7	6/7
試作 2	5/7	6/7	6/7
試作 3	6/7	6/7	6/7
試作 4	4/7	4/7	4/7
総合数	21/28	22/28	22/28

表 5.6 の電源電圧を徐々に増加させた場合, 各ノード電圧 V_A , V_B , V_{OUT} , の目標値達成確率はそれぞれ, 14%, 68%, 36%だった.

表 5.7 の電源電圧を一気に 1.8V まで増加させた場合, 各ノード電圧 V_A , V_B , V_{OUT} , の目標値達成確率はそれぞれ, 75%, 79%, 79%だった.

さらに, 表 5.7 の測定時に電源電圧は 1.8V だったが, この電圧を 2.0V, 2.5V にした際の目標値達成数を表 5.8, 表 5.9 として以下に示す.

表 5.8 各ノード電圧の目標値達成数 3

ノード電圧	V_A	V_B	V_{OUT}
試作 1	6/7	6/7	6/7
試作 2	6/7	6/7	6/7
試作 3	6/7	6/7	6/7
試作 4	4/7	6/7	6/7
総合数	22/28	24/28	24/28

表 5.9 各ノード電圧の目標値達成数 4

ノード電圧	V_A	V_B	V_{OUT}
試作 1	6/7	6/7	6/7
試作 2	6/7	6/7	6/7
試作 3	6/7	6/7	6/7
試作 4	6/7	6/7	6/7
総合数	24/28	24/28	24/28

表 5.8 の電源電圧を一気に 2.0V まで増加させた場合, 各ノード電圧 V_A , V_B , V_{OUT} , の目標値達成確率はそれぞれ, 79%, 86%, 86%だった.

表 5.9 の電源電圧を一気に 2.5V まで増加させた場合、各ノード V_A , V_B , V_{OUT} の目標値達成確率はそれぞれ、86%, 86%, 86%だった。

さらに図 5.5 に示したプリント基板への基板電圧を 1.8V から 2.0V に上げることで各ノード電圧の目標値達成数を最大 86%まであげることが可能だった。

2.5V まで電源電圧を上げてノード電圧が目標値を達成しなかったのは全てチップ No3 だったため、チップの素子ばらつきによる影響を考慮した回路設計を引き続き考えることですべてのチップで目標を達成できるようにする必要がある。

5.4 提案 BIST の実測評価

試作チップでは故障検出シミュレーションをおこなったすべての故障を実装することは難しいため、テスト対象に故障を付加しない BGR 回路と 6 通りの故障を付加した BGR 回路を搭載した。なお、故障していない BGR 回路は 5.3 で最も安定的な動作をした試作 1 を選択した。実装した故障は M_{A10} の GO, M_{A5} の DO, M_{S4} の SO, M_3 の GDS, M_{A1} の GSS, M_2 の DSS である。 M_{A1} の GSS, M_2 の DSS, M_{S4} の SO は、テスト応答解析器に入力される電圧全てが入力電圧範囲外を示す故障であり、 M_{A5} の DO は電圧 V_B のみがテスト応答解析器の入力電圧範囲外を示す故障であった。 M_{A10} の GO, M_3 の GDS は V_{OUT} のみがテスト応答解析器の入力電圧範囲外を示すものであった。これらの故障は全てシミュレーションにおいてテスト応答解析器を用いることで故障の検出が可能であり、各 WC の故障検出機能を確認できるため、選択し実装をおこなった。提案 BIST の故障検出結果を表 5.10 に示す。

この測定は 2021 年 10 月チップを対象に 7 枚行っており、表 5.10 の出力結果は、テスト応答解析器の出力 V_{PF} が故障判別を正常に行えた際に示す結果であり、結果の隣にある数字が 7 枚中何枚その結果を示したかを表している。上で述べた通り、実装した故障は全てシミュレーションにて故障判別を行えるものだったが、テスト対象に故障を付加していない試作 1 の BGR 回路にも故障ありと判別されてしまうケースがあった。本来、故障がない BGR 回路のノード電圧がテスト応答解析器の各 WC に入力された場合、テスト応答解析器の出力 V_{PF} は Low を出力するが Low を出力したチップは 3 チップであり、それ以外の 4 チップは High を出力した、この結果から、故障検出に対して素子ばらつきを抑えるレイアウト設計を考える必要がある。

表 5.10 試作チップのテスト結果 V_{PF}

	テスト出力 V_{PF}	
	通常動作	テスト動作
故障なし	High × 7	LOW × 3
M_3 GDS	High × 7	High × 7
M_{A1} GSS	High × 7	High × 7
M_2 DSS	High × 7	High × 7
M_{A5} DO	High × 7	High × 7
M_{S4} SO	High × 7	High × 7
M_{A10} GO	High × 7	High × 7

5.5 考察

5.5.1 テスト応答解析器の実測結果について

本研究の試作チップに搭載したテスト応答解析器の実測結果について、先行研究[12]の試作チップと比べて WC1, WC3 の入力電圧範囲が少し広がっている結果になったが、素子ばらつきによる影響が大きいと考えられ、今回 WC2 の入力電圧範囲を大きく変更し導入したことによる影響はほぼないと思われる。

そして、本研究から導入した WC2 に関しては 5.2.1 で述べたように入力電圧範囲が 10 チップ平均でシミュレーション値である 0.62V~1.02V よりもはるかに狭い 0.68V~0.84V で出力された。これは、先行研究[6]でも確認されており、WC2 の入力電圧範囲が素子ばらつきや周りの WC の影響を受けてシミュレーション値に比べて著しく低くなってしまったと考えられる。

本研究では、テスト応答解析器を動作させる電源電圧を 1.8V としているが、この値を上昇させることで電圧範囲をシフトさせることが可能である。そこで、今後は BGR 回路のノード電圧に合わせた入力電圧範囲を電源電圧によって設定することで故障検出を行うことが重要だと考えられる。

SC に関しては、先行研究[12]からの変化もほとんどなく WC2 への影響もなかったため問題なしだと考えられる。

5.5.2 BGR 回路の実測結果について

本研究の試作チップにおいて測定を行った 4 種類の BGR 回路はいずれも、表 5.6 から分かるように電源電圧を 0V から 0.02V ずつ増加させた場合ほとんどのチップのシミュレーションで目標値を満たすことは出来なかった。これは、本研究からノード電圧 V_B を減圧させるために搭載したソースフォロワ回路が問題だと思われる。シミュレーション時は、BGR 回路を動作させる電源電圧とソースフォロワ回路を動作させる電源電圧を一緒に行っても問題なく数値が取れたが、実測において BGR 回路とソースフォロワ回路を構成する n 型 MOSFET を同タイミングで動作させた場合、ノード電圧がソースフォロワ回路に入力される際に十分な電圧がソースフォロワ回路にかかっておらず、ノード電圧 V_B がソースフォロワ回路をシミュレーション通りに減圧して通過できなかったことが原因だと考えられる。

もしくは、本チップを試作した際のレイアウト上に問題がある可能性もあるため、その場合は安定的な故障判別を行うためにテスト応答解析器の再設計を考える必要がある。

また、チップ内部の WC がシミュレーション通りに設計できなかった場合には、外部から別の故障判別回路を接続することで故障検出をおこなう方法もある。しかし、外部から別に設計した回路を接続することは、当初設定した BIST を用いてチップ内部で故障検出テストをおこなうというよりも複雑になるという欠点もある。そのため、テスト応答解析器を構成する WC や SC をチップ実装後に簡単に調整できる方法、または後から調節が不要な WC の設計について入力電圧範囲の設定も含めて考えたい。

5.5.3 提案 BIST 回路の実測結果について

本研究にて測定を行った BIST 回路の実測結果は、故障検出を行った際に故障のない BGR 回路も 4/7 の割合で故障ありと判別した。これは 5.5.2 で述べた通り、BGR 回路が電源電圧の負荷のかけ方によって動作が変わってしまう程、安定性がなかったことが関係していると考えられる。安定性については、5.5.2 で述べた通りソースフォロワ回路に原因があると考えられ、この回路が動作した場合ノード電圧 V_B は0.7V程度を出力するが、実測だと0.84V程度で出力された。この場合、ノード電圧 V_B が入力される WC2 の入力電圧範囲によっては故障と判別される可能性がある。実際、本研究の WC2 の入力電圧範囲の実測結果は0.68V~0.84V だったことを考慮すると、素子ばらつきや基板電圧の減少によって入力電圧範囲が変化してしまうと、本研究のように故障判別を十分な精度で行うことが出来ないと考えられる。よって、今後の研究では、目標とされるノード電圧を出せるようなソースフォロワ回路の改良やテスト応答解析器に搭載される WC の設計、そして素子ばらつきを抑えるようなレイアウト設計を行う必要があると考えられる。

第6章 結論

本研究では、テスト対象を BGR 回路とした BIST 手法の設計およびシミュレーションでの評価をおこない、チップへ実装し測定をおこなった。

2021 年 10 月チップに搭載したテスト応答解析器を構成する WC を測定したところ、WC1, WC3, SC についてはシミュレーションと実測で入力電圧範囲のずれは確認されたが、シミュレーションの段階で素子ばらつきが起きることを想定した、広めの入力電圧範囲を設定した設計を行ったため、実用上問題はないことが分かった。WC2 については、シミュレーションでの入力電圧範囲と実測での入力電圧範囲に大きな違いがあることが分かった。先行研究[6]では電源電圧 1.8V に近くなる 1.3V~1.8V 帯の入力電圧範囲だと素子ばらつきの影響を大きく受けってしまうことが確認されたが、本研究では WC2 は 1.0V 付近の入力電圧範囲に対しても大きく素子ばらつきを受けってしまうことが確認できた。よって今後は、入力電圧範囲があらかじめ狭くなることを考慮した広めの設定範囲を再検討することや、素子ばらつきを引き起こすレイアウト設計上の問題について考える必要がある。

2021 年 10 月チップ、2022 年 9 月チップに搭載した BGR 回路は、試作 1~4 のノード電圧を測定した。試作 1 の BGR 回路が最もシミュレーション段階での目標値を達成することが出来たが、当初予定していた 0 から 1.8V へ 0.02V ずつ電源電圧を増加させる方法では、ほとんどのチップが目標値を達成することが出来なかった。別の測定方法として、電源電圧を 1.8V に一気に増加させたところ、ほとんどのチップで目標値を達成することが出来た。よって、今後の研究においては、後者の測定方法の採用か前者の測定方法の改良のどちらが良いかを考えて、研究を行っていく必要がある。

2021 年 10 月チップ、2022 年 9 月チップに搭載した BGR 回路試作 1 と 6 種類の故障を 1 つずつ負荷した計 7 種類の BGR 回路をテスト対象として故障検出を行った。結果として、故障を付加していない BGR 回路に対しても故障ありと判断してしまうケースが確認された。この結果も、素子のばらつきによる影響が大きくテスト応答解析器が十分な入力電圧範囲を持たなかったために、故障判別が正しく行えなかったと考えられる。よって、今後の研究においては、テスト応答解析器の入力電圧範囲や BGR 回路のノード電圧の目標値に以下に正確に近づけていくことが必要になる。

そして、レイアウトにおける配線を考慮したスキマティックでの故障モデルの変更、パラメトリック故障の検出方法の検討もしていきたいと考えている。そして、現在の試作チップは電源電圧特性のみを考え設計されているが、実用化を考えると温度特性についての検討もするべきであると考えられる。

謝辞

本研究を進めるにあたり、丁寧なご指導とご助力を賜り、主査をしていただいた橘昌良教授、副査を引き受けてくださった密山幸男教授、星野孝総准教授に心から感謝いたします。また、日頃からお世話になりました高知工科大学電子・光システム工学コースの教職員の皆様に心から感謝いたします。最後に、研究に関する討論、雑談などでお世話になりました橘研究室の皆様に感謝いたします。

本研究は JSPS 科研費 18K11222 の補助を受け、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。本チップ試作は東京大学大規模集積システム設計教育研究センターを通してローム(株)および凸版印刷(株)の協力で行われたものである。

参考文献

- [1] Takuya Bando, Masayoshi Tachibana, A BIST Scheme Detecting Catastrophic Faults of MOSFETs in Bandgap Reference with Self-Biased Operational Amplifier, 19th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), Yilan TAIWAN, 2015.
- [2] 谷口研二, CMOS アナログ回路入門, CQ 出版社, 2005.
- [3] Chi-Wah Kok, Wing-Shan Tam, CMOS Voltage References An Analytical and practical Perspective, IEEE Press, Hong Kong, 2013.
- [4] 吉澤浩和, CMOS OP アンプ回路実務設計の基礎, CQ 出版社, 2007
- [5] Na Sun, Robert Sobot, A Low-Power Low-Voltage Bandgap Reference in CMOS, Electrical and Computer Engineering (CCECE), CANADA, 2010.
- [6] 猪岡柚香, 橘昌良, バンドギャップ基準電源回路を対象とした BIST 手法に関する研究, 高知工科大学工学科基盤工学専攻電子・光システム工学コース 修士論文, 2020.
- [7] R. Jacob Baker, CMOS Circuit Design, Layout, and Simulation 3rd Edition, IEEE Press, 2010.
- [8] Wimol San-Um, Tachibana Masayoshi, A Compact On-Chip Testing Scheme for Analog-Mixed Signal Systems Using Two-Step AC and DC Fault Signature Characterization, 15th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), Okinawa JAPAN, 2009.
- [9] 板東拓弥, 橘昌良, バンドギャップリファレンスの設計と BIST 手法の検討, 高知工科大学工学科基盤工学専攻電子・光システム工学コース 修士論文, 2015.
- [10] Yuan Jun, Tachibana Masayoshi, A BIST scheme for operational amplifier by checking the stable output of transient response, 20th European Conference on Circuit Theory and Design (ECCTD), Linkoping SWEDEN, 2011.
- [11] 猪岡柚香, 橘昌良, バンドギャップ基準電源回路を対象とした BIST 手法の評価, 情報処理学会 DA シンポジウム 2019—システムと LSI の設計技術—, 2019.
- [12] 青木聡太, 橘昌良, バンドギャップ基準電源回路を対象とした BIST 手法に関する研究, 高知工科大学システム工学群 電子・光コース学士論文, 2021.