修士論文

高次 $\Delta\Sigma$ 変調回路に向けた Nauta OTA の設計 Designing Nauta OTA for the higher-order $\Delta\Sigma$ modulation circuit

報告者

学籍番号: 1255051 氏名: 小池 智哉

指導教員

橘 昌良 教授

令和5年2月17日

高知工科大学大学院工学研究科

基盤工学専攻電子・光工学コース

目次

第1章	序論1
第2章	Nauta OTAの理論と先行研究内容3
2.1	Nauta OTA の概要
2.2	Nauta OTA の動作とゲイン4
2.3	先行研究で開発された Nauta OTA
2.4	先行研究のシミュレーション結果と実測結果7
2.5	先行研究を受けての考察9
第3章	本研究で開発した Nauta OTA10
3.1	パラメータ決定方法10
3.2	実験条件の再検討12
3.3	作成回路13
第4章	研究結果16
4.1	シミュレーション条件と実測条件16
4.2	シミュレーション結果と実測結果18
4.3	結果に対する考察
第5章	ΔΣ変調回路と Nauta OTA
5.1	ΔΣ変調回路の動作原理
5.2	先行研究で開発された ΔΣ 変調回路に対する考察
第6章	結論
謝辞	
参考文	献

第1章 序論

年々,大規模集積回路 LSI(Large Scale Integrated Circuit)の高速化と高集積化が進み, 様々な分野で広くデジタル処理が行われている.一方で物理的な世界はアナログ信号 で動くためデジタル信号処理装置とのインターフェースとなる ADC(アナログ・デジ タルコンバータ)は必要不可欠である[1]. 図 1.1 に A/D 変換器が応用されている分野 と,それぞれの分野に必要となるビット分解能やサンプリングレートの関係図を示す.



図 1.1: 様々な分野におけるサンプリングレートとビット分解能の関係[2]

図 1.1 から分かるように A/D 変換の分野は多岐にわたっており,それに伴って ADC の開発も広く進んでいる. これらの分野ではデバイスの IoT(Internet-of-Thing)化が進んでおり,高速かつ安定な動作をする低消費電力の ADC が必要とされている[3].

そのような背景の中で,回路工学研究室ではデジタルオーディオ分野において高速 化と高い分解能の両立を目指した回路設計の研究が進められてきた.条件を満たす研 究はパイプライン型や直並列型の ADC を用いる手法も可能だが,本研究では先行研 究をもとに $\Delta\Sigma$ 型の ADC をベースに進めてきた.研究の特徴として, $\Delta\Sigma$ 変調回路に Nauta OTA[4]と呼ばれる積分器が組み込まれている点がある. $\Delta\Sigma$ 変調回路は高い分 解能を誇るが,変換周波数が遅いという欠点があり[1],高速性に欠ける.そこで,Nauta OTA と組み合わせることで $\Delta\Sigma$ 変調回路の持つ高い分解能を活かしながら,変換周波 数の向上を目指すのである.本研究の設計目標としては図 1.2 に示すように,10~12bit 程度で 100kHz 程度の変換周波数が達成できる 1 次 $\Delta\Sigma$ 変調回路を設計目標とする. 入力信号が 50kHz となった時にサンプリング定理に基づきサンプリングが可能とな るように,100kHz 程度の変換周波数を目指す.入力信号 50kHz としているのは,人 間の可聴域よりも広く,他分野にも応用が可能となる範囲を想定している.



図 1.2:本研究の設計目標

ΔΣ 変調回路の性能としては現在主流となっているものより低い分解能であるが, よりシンプルな構成で条件を達成することで回路の縮小化や低電源化が可能となり, さらなる技術の進歩に役立つと考えている.高い分解能を得るためには多くのエネル ギーが必要であることも分かっているため[2],シンプルな構成が達成されれば低消費 電力化も可能となる.

先行研究では $\Delta\Sigma$ 変調回路全体のバランスに重点を置き,インバータを追加した り[5],2次 $\Delta\Sigma$ 変調回路を用いたり[6]して,理論値で求められる S/N 比(信号対雑音 比)の 69dB を実際に設計した提案回路で得ることを目標としていた.しかし,目標の 理論値には届いておらず, $\Delta\Sigma$ 変調回路の持つ高いビット分解能を活かしきれていな かった.筆者はこの原因が,回路内に生じる雑音の多さによるものであると考えた.

そこで本研究は、 $\Delta\Sigma$ 変調回路全体ではなく、回路内の構成要素に着目することで、 雑音の生じる原因の究明を目指した.特に、最も特徴的である Nauta OTA の設計に注 目し、実験条件から見直すこととした.研究内容としては最適な実験条件の決定と、 トランジスタのゲート幅とチャネル長の理想値の決定である.そこから、雑音の低減 とより高い S/N 比を得るために、今後の $\Delta\Sigma$ 変調回路に必要なことについて考察を行 った.

尚,本研究は VDEC(東京大学大規模集積システム設計教育センター)を通し,シノ プシス株式会社,日本ケイデンス株式会社及びメンター株式会社の協力で行われたも のである.また,本チップ試作は VDEC を通じ,ローム株式会社及び凸版印刷株式会 社の協力で行われたものである.使用したプロセスは 0.18μm である.

2

第2章 Nauta OTA の理論と先行研究内容

本章では、Nauta OTA についての説明を行う. 2.1 章で概要を説明し、2.2 章でより 詳細な図や式の説明、そして 2.3 章で過去に開発されてきた Nauta OTA を示し、現状の課題点を整理する.

2.1 Nauta OTA の概要

始めに Nauta OTA の回路図を図 2.1 に示す.



図 2.1: Nauta OTA の概要

Nauta OTA は図 2.1 に示したように 6 個ずつの PMOS(PMOSFET)と NMOS(NMOSFET)のみで構成される,非常にシンプルな回路である. PMOS と NMOS は1セットで INV(インバータ)となるため,回路全体としては6 個の INV で構成され ていると考えることができる. オランダのトゥウェンテ大学の Bram Nauta 氏が考案 したことからこの名がつけられている. OTA とは Operational Transconductance Amplifier の頭文字を取ったもので,入力電圧に比例した電流を出力する回路を意味す る. 単純な構成であるため制御も容易に思われるが,見た目以上に複雑なパラメータ 値を持つ. 具体的な式や図については 2.2 章で説明する.

Nauta OTA が通常の OTA 回路と異なる点は、全差動増幅器、または完全差動増幅器と呼ばれる回路である点である. 図 2.1 からも分かるように、Nauta OTA 回路は 2 入力 2 出力の回路となっている.通常の差動増幅回路であれば 2 入力の差分を増幅して 1 つの出力を発生させる回路となるが、全差動増幅器では 2 入力の差分を利用し、正負が反転した 2 つの出力を発生させる回路となる. 入出力がどちらも差動になることで、ノイズの減少、入力電圧範囲の拡大、そして歪の減少等が可能となる[7].

Nauta OTA 回路の特出した利点を3点述べる[8].

1点目は、電源・グランド間に存在するのは2つの MOSFET のみである点である. 他の増幅器と比べても低い電源電圧で動作させることができる.

2 点目は, AB プッシュプル回路の要領で信号増幅が行われる点である. 歪や損失 が少なく, 利得を大きくすることができる.

3 点目は、ノードは入力と出力のみであり内部ノードが存在しないことによる周波 数帯域の広さである.これにより高周波でも安定した動作が可能となる.

これらの特性を生かし、目標とする分解能と応答性、そして回路の簡単化を目指した.

2.2 Nauta OTA の動作とゲイン

より具体的な Nauta OTA の動作について説明を行う. 図 2.1 の Nauta OTA におい て, INV4 と INV5 は入出力がショートされており, インバータの閾値電圧が入力され た場合には PMOS と NMOS に等しく電圧がかかるため,抵抗としてみなすことがで きる. この置き換えを図 2.2 に示す. また, INV1, 2, 3, 6 の 4 つは MOS ではなく インバータで簡略化できる. これらより,図 2.1 は図 2.3 のように考えることができ るのである.



図 2.2:理想状態における MOS の置き換え

図 2.3:置き換えした後の Nauta OTA 全体

図 2.3 のように見ると、各インバータの役割がより分かりやすくなる. INV1, 2 は OTA 回路の最重要部分であり、OTA 回路の gm を決定する部分である. INV3, 6 はル ープ回路として動作し、回路の DC ゲインを増大させる部分である. INV4, 5 は OTA 回路のコモンモード電圧を決定する部分である[9].

INV3, 4, 5, 6の動作を説明する. 先行研究において INV3, 6のループ回路における入出力の特性は図 2.4 のように示されている[10].



ここに INV4, 5 の要素が組み合わさることで,制御が容易になる工夫がなされている. その様子を図 2.5 に示す.



図 2.5: INV3, 4, 5, 6 の動作[10]

図 2.5 のように抵抗を入れ、インバータの電圧変化の傾きを緩やかにすることで、 閾値周辺の電圧変化の誤差が少なくなり、V_{INV}をより一定にすることができる. INV4、 5 は閾値電圧を受け取った時には定電流源となるが、閾値より高い電圧が入力された 場合には入力よりも低い電圧を出力、閾値より低い電圧が入力された場合には入力よ り高い電圧を出力する.これにより、より閾値に近い電流の出力が可能となる.以上 が INV3、4、5、6 の動作概要である.

問題点は、これらの図におけるV_{INV}やgmの値が、先行研究において明確に数値化 されてこなかった点である。先行研究では理論面よりも結果から進めることが多く、 試行錯誤によりパラメータ値を決定してきた面がある。これも悪いことではないが、 再現性や理論性が乏しいと考え、本研究では可能な限りの式の導出や理論の明確化も 目指した。

2.3 先行研究で開発された Nauta OTA

先行研究[10]で開発された Nauta OTA を、本論文では OTA1 として扱う. OTA1 の 回路図を図 2.6 に、レイアウトを図 2.7 に示す. また、各トランジスタのゲート幅 W とチャネル長 L の設計値を表 2.1 に示す.





図 2.7: OTA1 のレイアウト図

	W(μ m)	L(µ m)	W/L
PMOS(INV1,2)	52.2	0.36	145
PMOS(INV3,4,5,6)	17.28	0.36	48
NMOS(INV1,2,3,6)	11.88	0.36	33
NMOS(INV4,5)	14.04	0.36	39

表 2.1: OTA1 のトランジスタの設計値

図 2.6 に示すように、先行研究では(a)の Nauta OTA のメイン回路に加え、(b)、(c)に示した各インバータに対応するダミーパターン用の回路が加えられた回路図が開発されてきた.このダミーパターンはレイアウト上にダミーパターンとして設計したものが LVS(Layout Versus Schematic)を行う際にダミーではなく MOS として認識されてしまうために、回路図に電源とV_{SS}のみに接続した MOS を設計したものである.通例、1 組のインバータにダミーパターンは 1 組のみ設計するが、OTA1 では 2 組設計されていた.これにより、2 組のうちの 1 組がインバータとして認識されていたことが考えられる. MOS として認識されていた部分は図 2.7 中の赤い四角で囲んだ部分であると予想される.図 2.7 中の青い四角と赤い四角で囲んだ部分はいずれもダミーパターンである.これらの MOS は Nauta OTA からは独立しているため、理論上 Nauta OTA に影響を及ぼすことはない.

2.4 先行研究のシミュレーション結果と実測結果

先行研究で行われた OTA1 の実験条件を表 2.2 に示す.

雷	窤源(V _{DD})[V]	1.8	
入力信号	振幅[V]	0.1	
(V_{inp}, V_{inn})	周波数[kHz]	22	
(正弦波)	オフセット[V]	0.9	

表 2.2 OTA1 の実験条件[10]

入力信号のV_{inp}に対し位相が反転した波形をV_{inn}に入力している.先行研究では表 2.2 の条件を用いて OTA1 のシミュレーションと作製チップの実測を行っていた.図 2.8 にシミュレーション結果の入出力波形,図 2.9 に実測結果の入出力波形を示す.



図 2.8: OTA1 シミュレーション結果[10]



これらの結果から、利得は 10dB 程度であること、実測では出力波形に約 0.07V の オフセットがかかっているという結果が得られている.また、いずれの結果も出力波 形の振幅のピークが明確に出ておらず、出力が飽和していることが分かる.

2.5 先行研究を受けての考察

2.4 章の結果から、筆者は3点に着目し研究を進めることとした.

1点目は、入力信号の振幅を下げることである. 図 2.8、2.9 において出力信号が飽 和しているのはトランジスタの W, Lの値ではなく、そもそもの実験条件にあるので はないかと考えた. 同相入力電圧範囲外の信号が入力されていることにより回路の増 幅の範囲を超えたことで飽和している可能性を考慮した. 反対に、回路の増幅の限界 がきている可能性も考慮した.

2 点目は、ダミーパターンの消去である.理論上問題のないものであっても、チェック時に MOS として認識されているため、影響を与えているのではないかと考えた. また、外しても影響がないのであれば無意味な回路の拡大であるため、必要不可欠なものか明確にしておく必要があると考えた.

3 点目は、より $\Delta\Sigma$ に組み込むことを想定した回路設計である.出力部に抵抗を入力し、 $\Delta\Sigma$ に組み込んだ後の動作を想定することで、振幅の飽和が緩和されると考えた.

次章より,筆者が行った内容の説明を進める.

第3章 本研究で開発した Nauta OTA

ここまでの理論や先行研究をもとに、筆者が作成した回路について述べる.

3.1 パラメータ決定方法

筆者が回路を設計した際の各 INV の W と L の決定方法を説明する. そのために, 2.2 章で述べた Vinv や回路の gm についての考察を行う. まず, INV3, 6 の決定方法 と Vinv についての考察を述べる.

図 2.4, 2.5 には 2 つのインバータ特性が交差する様子を示したが、この Vinv の決まり方は、飽和領域で動作している 1 個のインバータ特性の Vinv と大差ないと考えてよいといえる. 1 個のインバータ特性のVINVは式(3.1)で求められる[11].

$$V_{inv} = \frac{\sqrt{\frac{\beta_n}{\beta_p}} V_{Tn} - |V_{Tp}| + V_{DD}}{\sqrt{\frac{\beta_n}{\beta_p}} + 1}$$
(3.1)

 β_n, β_p :トランジスタゲイン, V_{Tn} :NMOS の閾値電圧, V_{Tp} : PMOS の閾値電圧

トランジスタゲインの式を式(3.2),式(3.3)に示す.

$$\beta_n = \frac{\mu_n C_o W}{L} \tag{3.2}$$

$$\beta_p = \frac{\mu_p C_o W}{L} \tag{3.3}$$

 μ_n, μ_p : 半導体の電子移動度, C_o : 単位面積当たりの静電容量 W: ゲート幅, L: チャネル長

Vinv は理想的には式(3.4)が成り立つ.

$$V_{\rm inv} = \frac{V_{DD}}{2} \tag{3.4}$$

この条件が成り立つためには,式(3.1)において, $\beta_n = \beta_p \& V_{Tn} = V_{Tp}$ が成り立つ必要があるが不可能といえる.理由としては,設計段階で調整できるパラメータはW とLのみであり,他の要因は製造時に起こる成膜の厚さや条件で回路ごとに異なってしまうからである.まして今回の回路は2重のループになっているため,より回路ごとの差異は大きくなることが想定される.確実に言えることは,PMOSのプロセスゲインはNMOSの約半分程度であるため,PMOSのゲート幅WはNMOSの約2倍にする必要があるということである[11].この条件を意識してINV3,6の値を設計した.続いて,INV4,5の決定方法について述べる.

INV4,5は回路の出力を安定させる要因であるため、明確に式として導出することが大変難しいパラメータとなっている.その反面で、明確に式化する必要がないパラメータであるといえる.よって、考慮するべきは消費電力の面から可能な限り小さい値にすることが求められる.先行研究から、式(3.5)を満たすことで回路の安定性が保たれることが示されている[9].

$$INV4(5) = 0.83 \times INV3(6)$$
 (3.5)

この条件を参考にして INV4, 5の W, Lの決定を行った.

最後に, INV1, 2の決定方法とgm についての考察を行う.gm の値は大変複雑であり, 先行研究においても Nauta OTA の安定化条件の導出に留め, シミュレーション結果を元に INV の W と L の値を決定している.式(3.6)に Nauta OTA の安定条件式を示す[9].

$$\lambda (V_{gs} - V_{th})(W_2 + W_3 + W_4) \ge (W_3 - W_4)$$
 (3.6)
λ:回路の持つ固有値, Vgs: ゲート電圧, Vth: 閾値電圧, W: ゲート幅

式からも分かるように、Vinv と同様にシミュレーションでは制御できない要素によって gm は決定される.よって、INV1,2は先行研究の各 INV の比を参考に設計する こととした. OTA1 はおおよそ式(3.7)で設計されていた[10]が、群馬大学の先行研究で は式(3.8)で設計されている[9].

$$INV1(2): INV3(6) = 3:1$$
 (3.7)

INV1(2): INV3(6): INV4(5) = 1: 0.5: 0.45 (3.8)

このように、シミュレーション条件や実験条件によって INV1,2の値は変わってくることが分かった.よって、本研究ではこれらの値を参考に、より回路の縮小化を重視して設計や検証を行うこととした.方針としては、さらに低い入力電圧やW,Lの値をより小さくしても安定した出力は得られるのか、製造時にどの程度のばらつきが生じるのか、といった点を重視して研究を進めた.

まとめとして、ゲート幅Wとチャネル長Lは理論や先行研究に基づいた設計とシ ミュレーションを行った.しかし、その範囲では実際の回路特性を得ることはできな いため、シミュレーション結果と実際の測定を比較することで Nauta OTA の動作電圧 特性を明確化することを目指した.

3.2 実験条件の再検討

先行研究で課題となった入力信号の振幅の見直しとして、シミュレーションを用い て入力信号の振幅を変化させる実験を行った.シミュレーション環境と回路の設計環 境を表 3.1 に示す.

用途	ツール	メーカー
設計プラットフォーム	IC614	Cadence
回路シミュレーション	HSPICE	
波形観測	CosmosScope	Synopsys
配線RC抽出	Star-RCXT	
LVS/DRC検証	Calibre	Mentor

表 3.1: 設計環境

シミュレーションは表 3.1 に示したように HSPICE で行った.

実験内容は表 3.2 に示す条件を固定し,入力信号の振幅を 1µs から 0.1V まで 10 倍 ずつ変化させるものである.使用した回路は OTA1 である.

表 3.2:入力信号と電源の条件

電源	1.8	
入力信号	周波数[kHz]	50
(Vinp, Vinn) (正弦波)	オフセット[V]	0.9

表 3.3 に入力振幅を 1µV から 100µV まで変化させたときの出力振幅とゲインを, 表 3.4 に入力振幅を 1mV から 100mV(0.1V)まで変化させたときの出力振幅とゲイン を示す.

表 3.3: 1µV から 100µV までの変化

入力	V _{in}	[µV]	1.0	10	100
出力	Vout	[µV]	15.5	155	1547
ゲイン	G _V	[dB]	23.8	23.8	23.8

表 3.4:1mV から 100mV までの変化

入力	V _{in}	[mV]	1.0	10	100
出力	Vout	[mV]	15.1	149	539
ゲイン	G_V	[dB]	23.6	23.5	14.6

表 3.3, 3.4 から分かるように, 100μV以下の入力電圧ではゲインに変化が見られな かったが,従来の入力電圧である 0.1V と 10 分の 1 である 0.01V で 10dB 程の大きな 変化が見られた.

このことから、本研究ではシミュレーションと実測を行う際に、従来の 0.3V から 2 桁低い 0.004V~0.4V の範囲で入力電圧を変化させたときの回路の動作を検証することとした. 0.003V ではなく 0.004V であるのは、0.003V 以下では実測の際に出力が安定しなかったからである.

3.3 作成回路

3.1 章の理論を踏まえ,本研究では4種類の Nauta OTA を作製した.回路は表 3.1 に 示したツールを用いて作製した.作製した順に OTA2~5 の番号を振った.OTA2,3 の回路図を図 3.1 に,OTA2 のレイアウト図を図 3.2 に,OTA4 の回路図を図 3.3 に, OTA4 のレイアウト図を図 3.4 に示す.OTA3 と OTA5 のレイアウト図は厳密には異な るがそれぞれ図 3.2 と図 3.4 に類似しているため省略する.また,各回路の W と L の 値を表 3.4~3.7 に示す.



図 3.1: OTA2, 3 の回路図



図 3.2: OTA2 のレイアウト図



図 3.4: OTA4 のレイアウト図

表3.4:OTA2のトランジスタのW, L

	$W(\mu m)$	L(µ m)	W/L
PMOS(INV1,2,7,8)	15	0.5	30
PMOS(INV3,4,5,6)	10	0.5	20
NMOS	5	0.5	10

表3.6:OTA4のトランジスタのW, L

	W(µ m)	$L(\mu m)$	W/L
PMOS(INV1,2,)	20	0.5	40
PMOS(INV3,6)	11.84	0.5	23.68
PMOS(INV4,5)	10	0.5	20
NMOS(INV1,2)	5.5	0.5	11
NMOS(INV3,4,5,6)	5	0.5	10

表3.5:OTA3のトランジスタのW, L

	$W(\mu m)$	L(µ m)	W/L
PMOS(INV1,2,7,8)	20	0.5	40
PMOS(INV3,6)	11.84	0.5	23.68
PMOS(INV4,5)	10	0.5	20
NMOS(INV1,2,7,8)	5.5	0.5	11
NMOS(INV3,4,5,6)	5	0.5	10

表3.7:OTA5のトランジスタのW, L

	$W(\mu m)$	L(µ m)	W/L
PMOS(INV1,2,)	20	0.5	40
PMOS(INV3,6)	11.86	0.5	23.72
PMOS(INV4,5)	10	0.5	20
NMOS(INV1,2)	5.5	0.5	11
NMOS(INV3,4,5,6)	5	0.5	10

図 3.1 に示したように, OTA2, 3 には出力部に抵抗となる INV7, 8 を挿入している. INV7, 8 の値は INV1, 2 と同じ値を用いている. また, 図 3.2, 図 3.4 と図 2.7 の レイアウト図を比較すると, 赤い四角で囲んだダミーパターンを消去した様子を確認 いただける.

各 OTA 回路の設計意図を説明する.

OTA2はOTA1からダミーパターンを消去し、3倍近くあった INV1と INV3の比を 1.5倍にまで下げ、回路の縮小化による安定化を検証する目的で設計した.ただ、後 段のインバータの追加により、大幅な縮小化とはならなかった.

OTA3 は OTA2 の設計後にシミュレーションを繰り返した中で, さらに細かく W の 値を定めたものである.また, NMOS に対してもすべて同じではなく, INV1, 2, 7, 8 の W/L 比を少し大きめに設定した.

OTA4 は OTA9 から INV7, 8 を除いたものであり, OTA5 は OTA4 と 0.1µm 以下の ゲート幅の変更が測定チップにどれほどの誤差をもたらすのかを検証する目的で作 成した.

本研究ではこれらの OTA1~5 の 5 種類の回路に対してシミュレーションと実測を 行った. 次章で結果について述べる.

第4章 研究結果

本章では作製した回路により得られた研究結果を示す.

4.1 シミュレーション条件と実測条件

まず,シミュレーション条件を説明する.設計環境は表 3.1 と同じである.入力信 号は表 3.2 に示したように設定し, 3.2 章の結果から 0.004V~0.4V まで 10 倍ずつ変 化させ,それぞれの出力波形における振幅,ゲイン,出力電圧平均を求めた.

続いて実測条件を述べる.実測に使用した機器を表 4.1 に,主なケーブルやコネク タ類を表 4.2 に示す.

表 4.1: 使用機器

機器名	目的	メーカー	型番	台数
DC Power Supply	電源供給(Chip, V _{DD})	KEYSIGHT	E36102B	2
300Hz MULTIFUNCTION GENERATOR	入力信号供給(Vinp, Vinn)	NF Corporation	WF1974	1
Digital Storage Oscilloscope	出力信号観測(Voutp, Voutn)	KEYSIGHT	DSOX3024G	1

ケーブル, コネクタ類	本数, 個数
測定用プリント基板	1
ICソケット	1
プリント基板端子台	1
アルミシャーシ	1
BNCケーブル	2
SMAコネクタ	2
オシロプローブ	4
ミニグラバー・テストクリップ ⇔スタッキングバナナプラグ	4
電源ケーブル	3

表 4.2: 使用ケーブル, コネクタ

実験手順や機器類の設定方法を記す.

1. 測定用プリント基板に IC ソケット, チェック端子, プリント基板端子台等をは んだ付けした. はんだ付け後のプリント基板はスペーサーを用いてアルミシャーシに 固定した. はんだ付け後の測定用回路のプリント基板の表を図 4.1 に, 裏を図 4.2 に 示す.

2. BNC ケーブル, SMA コネクタ, オシロプローブ, ミニグラバー・テストプラグ ⇔スタッキングバナナプラグ等を用いてチェック端子と各接続機器を接続した.

3. IC ソケットに作製チップを入れた. 各測定機器に電源を入れ, DC Power Supply の電圧を2台とも1.8V に設定, FUNCTION GENERATOR を Dual Mode に設定しシミ ュレーション条件と同等の波形が入力できるように設定, オシロスコープは Auto Scale ボタンの押下により得られる波形から評価を行った. それらを使用して実測を 行った様子を図 4.3 に示す.



図 4.1: 配線後プリント基板表

図 4.2: 配線後プリント基板裏



図 4.3:実測の様子

4.2 シミュレーション結果と実測結果

5 種類の Nauta OTA の実測結果を表 4.3~4.7 に示す. 各回路 5 チップを測定し, 出力振幅(Peak to Peak)と出力電圧平均をオシロスコープの Measure 機能を用いて測定した. 各表における(a)は入力振幅 0.004V, (b)は入力振幅 0.04V, (c)は入力振幅 0.4V の表を示している.

				(.)						
スカセ航	∃ 0.004W		出力	振幅		出力電圧平均				
ノヘノ」小政中田 0.004 V		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
Chip No.	1	0.088	21	0.088	21	1.02	0.12	1.00	0.10	
	2	0.088	21	0.080	20	1.02	0.12	1.00	0.10	
	3	0.101	22	0.092	21	1.04	0.14	0.92	0.022	
	4	0.096	22	0.096	22	1.04	0.14	0.98	0.075	
	5	0.088	21	0.088	21	1.05	0.15	1.01	0.11	
平均		0.092	21	0.089	21	1.03	0.13	0.98	0.081	
標準偏差		0.005	0.50	0.005	0.53	0.012	0.012	0.032	0.032	

表 4.3 : OTA1 の実測結果

(a) 入力振幅0.004V

(b) 入力振幅0.04V

スカセル	〒0.041		出力	振幅		出力電圧平均				
八刀城中	⊞ 0.04 V	Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
	1	0.580	17	0.560	17	1.01	0.11	1.0	0.10	
Chip No.	2	0.580	17	0.560	17	1.01	0.11	1.0	0.10	
	3	0.600	18	0.580	17	1.01	0.11	0.92	0.022	
	4	0.580	17	0.580	17	1.00	0.10	0.99	0.091	
	5	0.580	17	0.540	17	1.04	0.14	1.01	0.11	
平均		0.584	17	0.564	17	1.01	0.11	0.98	0.085	
標準偏差		0.008	0.12	0.015	0.23	0.014	0.014	0.032	0.032	

(c)入力振幅0.4V

スカセ	入力振幅 0.4V		出力	振幅		出力電圧平均			
ノイノノリ及中田 0.4 V		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]
	1	1.29	4.1	1.25	3.9	1.00	0.10	1.0	0.10
Chip No.	2	1.29	4.1	1.25	3.9	1.00	0.10	1.0	0.10
	3	1.29	4.1	1.25	3.9	0.97	0.07	0.97	0.07
	4	1.25	3.9	1.29	4.1	1.01	0.11	1.01	0.11
	5	1.29	4.1	1.19	3.4	1.00	0.10	1.01	0.11
平均		1.28	4.1	1.25	3.8	1.00	0.10	1.00	0.098
標準偏差		0.016	0.11	0.032	0.22	0.014	0.014	0.015	0.015

表 4.4 : OTA2 の実測結果

	(a) 入力振幅0.004V											
スカ垢前			出力	振幅		出力電圧平均						
八刀扳幅 0.004 V		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]			
	1	0.14	25	0.12	23	1.10	0.20	0.89	-0.01			
	2	0.15	25	0.13	24	1.07	0.17	0.90	0.00			
Chip No.	3	0.14	25	0.13	24	1.04	0.14	0.90	0.00			
	4	0.15	25	0.14	25	1.05	0.15	0.92	0.02			
	5	0.14	25	0.13	24	1.04	0.14	0.90	0.00			
平均		0.14	25	0.13	24	1.06	0.16	0.90	0.002			
桓淮	偏差	0.005	0.298	0.007	0.515	0.025	0.025	0.011	0.011			

(b)入力振幅0.04V

7 + +=+	〒 0.04W		出力	振幅		出力電圧平均			
八//J1欣中田 0.04 V		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]
	1	0.70	19	0.68	19	1.05	0.15	0.95	0.05
	2	0.72	19	0.68	19	1.03	0.13	0.96	0.06
Chip No.	3	0.72	19	0.48	16	1.01	0.11	0.95	0.05
	4	0.72	19	0.70	19	1.02	0.12	0.97	0.07
	5	0.70	19	0.70	19	1.01	0.11	0.95	0.05
平	均	0.71	19	0.65	18	1.02	0.12	0.96	0.06
標準偏差		0.01	0.13	0.09	1.41	0.02	0.02	0.01	0.01

(c)入力振幅0.4V

7 + 15	后 0 4 17		出力	振幅		出力電圧平均			
八刀100円 0.4 V		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]
	1	1.21	3.6	1.21	3.6	1.02	0.12	1.01	0.11
	2	1.25	3.9	1.21	3.6	1.01	0.11	1.01	0.11
Chip No.	3	1.25	3.9	1.25	3.9	1.00	0.10	1.00	0.10
	4	1.25	3.9	1.25	3.9	1.01	0.11	1.00	0.10
	5	1.25	3.9	1.25	3.9	1.00	0.10	1.00	0.10
平	均	1.24	3.8	1.23	3.8	1.01	0.11	1.00	0.10
標準偏差		0.018	0.13	0.022	0.15	0.008	0.008	0.005	0.0055

表 4.5 : OTA3 の実測結果

(a) 入力振幅0.004V

スーナにあ			出力	振幅		出力電圧平均			
ノマノリシス中田 0.004 V		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]
	1	0.60	38	0.58	37	1.05	0.15	0.90	0.00
Chip No.	2	0.19	28	0.15	25	1.20	0.30	0.72	-0.18
	3	0.17	27	0.23	29	0.69	-0.21	1.12	0.22
	4	0.90	41	0.99	42	0.62	-0.28	0.62	-0.28
	5	0.58	37	0.58	37	1.07	0.17	0.88	-0.02
平均		0.49	34	0.50	34	0.93	0.03	0.85	-0.052
標準偏差		0.31	6.5	0.34	6.77	0.25	0.25	0.19	0.19

(b)入力振幅0.04V

スーキャ	〒004V		出力	振幅		出力電圧平均			
ノマノリル政中田 0.04 V		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]
	1	0.81	20	0.79	20	1.01	0.11	0.99	0.093
Chip No.	2	0.78	20	0.78	20	0.98	0.08	0.95	0.050
	3	0.78	20	0.78	20	0.94	0.04	0.96	0.064
	4	0.78	20	0.78	20	0.97	0.07	0.98	0.082
	5	0.78	20	0.76	20	1.01	0.11	0.99	0.090
平均		0.79	20	0.78	20	0.98	0.08	0.98	0.076
標準偏差		0.013	0.15	0.011	0.12	0.030	0.030	0.018	0.0183

(c)入力振幅0.4V

スカゼ	₩ 0.4W		出力	振幅		出力電圧平均				
八川版	啡田 0.4 ₩	Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
Chip No.	1	1.29	4.1	1.29	4.1	1.00	0.10	1.00	0.098	
	2	1.27	4.0	1.27	4.0	0.98	0.08	0.99	0.088	
	3	1.29	4.1	1.29	4.1	0.96	0.06	0.98	0.080	
	4	1.29	4.1	1.29	4.1	0.98	0.08	1.00	0.095	
	5	1.29	4.1	1.23	3.7	1.00	0.10	1.00	0.100	
平均		1.29	4.1	1.27	4.0	0.98	0.08	0.99	0.092	
標準偏差		0.009	0.06	0.026	0.18	0.016	0.016	0.008	0.0082	

表 4.6 : OTA4 の実測結果

(a)	入力振幅0.004V	

スカ垢柿	₹ 0.004W		出力	振幅		出力電圧平均				
八刀版唱	∃ 0.004 v	Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
	1	0.60	38	0.58	37	1.07	0.17	0.88	-0.02	
	2	0.10	22			1.25	0.35			
Chip No.	3	0.09	21			1.25	0.35			
	4	0.11	23			1.26	0.36			
	5	0.11	23			1.27	0.37			
平均		0.203	25			1.22	0.32			
標準偏差		0.222	6.863			0.083	0.083			

(b) 入力振幅0.04V

スカ 垢痘 0.041			出力	振幅		出力電圧平均				
八刀加	で一日 0.04 V	Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
	1	0.78	20	0.76	20	1.01	0.11	0.99	0.090	
Chip No.	2	0.78	20	0.78	20	1.00	0.10	0.94	0.035	
	3	0.82	20	0.78	20	0.98	0.08	0.93	0.027	
	4	0.78	20	0.78	20	0.99	0.09	0.96	0.058	
	5	0.78	20	0.77	20	1.02	0.12	0.97	0.070	
平均		0.79	20	0.77	20	1.00	0.10	0.96	0.056	
標準偏差		0.018	0.19	0.009	0.10	0.017	0.017	0.026	0.0257	

(c)入力振幅0.4V

入力振幅 0.4V			出力	振幅		出力電圧平均				
		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
	1	1.29	4.1	1.23	3.7	1.00	0.10	1.00	0.100	
	2	1.27	4.0	1.23	3.7	0.98	0.08	0.98	0.083	
Chip No.	3	1.27	4.0	1.27	4.0	0.97	0.07	0.97	0.073	
	4	1.27	4.0	1.29	4.1	0.98	0.08	0.99	0.091	
	5	1.29	4.1	1.25	3.9	1.00	0.10	1.00	0.100	
平均		1.28	4.1	1.25	3.9	0.99	0.09	0.99	0.089	
標準偏差		0.011	0.07	0.026	0.18	0.013	0.013	0.012	0.0116	

表 4.7 : OTA5 の実測結果

(a) 入力振幅0.004V

入力振幅 0.004V			出力	振幅		出力電圧平均				
		Voutn [V]	ゲイン[dB]	Voutp [V]	ゲイン[dB]	Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
	1	0.62	38	0.60	37.50	1.02	0.12	0.94	0.04	
	2	0.09	21			1.28	0.38			
Chip No.	3	0.18	27	0.11	23.00	1.20	0.30	0.68	-0.22	
	4	0.12	23			1.25	0.35			
	5	0.12	24	0.08	19.55	1.26	0.36	0.73	-0.17	
平均		0.23	27			1.20	0.30			
標準偏差		0.22	6.60	\geq		0.11	0.11	\geq		

(b) 入力振幅0.04V

入力振幅 0.04V			出力	振幅		出力電圧平均				
八刀城中	⊞ 0.04 V	Voutn [V]	ゲイン[dB]	ン[dB] Voutp [V] ゲイン[dB]		Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
	1	0.78	20	0.76	20	1.00	0.100	1.00	0.100	
Chip No.	2	0.80 20		0.78	20	1.00	0.100	0.94	0.038	
	3	0.82	20	0.78	20	0.96	0.057	0.95	0.049	
	4	0.78	20	0.78	20	0.99	0.094	0.96	0.058	
	5	0.78	20	0.76	20	1.02	0.120	0.98	0.076	
平均		0.79	20	0.77	20	0.99	0.094	0.96	0.064	
標準偏差		0.018	0.19	0.011	0.12	0.023	0.023	0.024	0.0244	

(c)入力振幅0.4V

入力振幅 0.4V			出力	振幅		出力電圧平均				
八川版	P⊞ 0.4 V	Voutn [V]	ゲイン[dB]	Voutp [V] ゲイン[dB]		Voutn [V]	オフセット差[V]	Voutp [V]	オフセット差[V]	
	1	1.27	4.0	1.23	3.7	1.00	0.100	1.01	0.111	
Chip No.	2	1.31	4.3	4.3 1.27		0.99	0.085	0.99	0.085	
	3	1.31	4.3	1.27	4.0	0.97	0.069	0.98	0.080	
	4	1.27	4.0	1.27	4.0	0.99	0.085	0.99	0.090	
	5	1.27	4.0	1.29	4.1	1.00	0.100	1.00	0.100	
平均		1.29	4.1	1.27	4.0	0.99	0.088	0.99	0.093	
標準偏差		0.022	0.15	0.022	0.15	0.013	0.013	0.012	0.0124	

表 4.6 と表 4.7 中の斜線部のチップは図 4.4 のように出力波形が現れなかったこと により測定不可を表している.



図 4.4: 測定不可時の波形

2 つの OTA 回路の比較結果を述べる. OTA3 と OTA4 は INV7, 8 の有無の違いのみ だが, 0.004V の入力振幅において OTA4 のみ Voutp の出力なしとなるチップがあっ た. 0.04V と 0.4V の入力振幅時の出力振幅と出力電圧平均に大きな違いは見られなか った.

OTA4 と OTA5 は 0.004V の入力振幅においていずれも Voutp の出力なしとなるチッ プが存在したが,OTA4 は 4 枚,OTA5 は 2 枚という違いが生じた.ただ,0.04V 以上 の振幅ではどちらも差異がなかった.OTA1 と OTA2 を比較すると,0.004V と 0.04V の入力振幅のときは OTA2 が高いゲインとなったが,0.1V のときは OTA1 が高いゲイ ンとなった.

全 OTA 回路の比較結果を述べる.標準偏差は、入力振幅が大きくなるにつれて小 さくなっていることが分かった. OTA1 とその他でダミーパターン用回路の有無、 OTA2、3 と 4、5 で INV7、8 の有無等の違いがあるが、入力振幅 0.004V の時には 20dB ~40dB 程度のゲインの差があったものの入力振幅 0.04V ではいずれの OTA のゲイン も 20±3dB 以内の変化にとどまり、入力振幅 0.4V ではいずれの OTA のゲインも 4± 0.5dB 以内の変化にとどまった.

オフセットはいずれの出力においても 0.8V 以上 1.0V 以内の範囲で変化が見られた.

見た目による大まかな考察を行うために,最も標準偏差値が低かった OTA3 の Chip1 の各入力振幅時の入出力波形を図 4.5~4.7 に示す. 図から得られる情報は少な く,他のチップや他の回路も大差がないため,他の OTA 回路の入出力波形は省略す る.







図 4.6: OTA3 の入力振幅 0.04V の入出力波形



図 4.7: OTA3 の入力振幅 0.4V の入出力波形

図 4.5, 4.6, 4.7 のいずれにおいても、出力のピークは明確に見られず、出力電圧が 飽和している様子が見られた. 0.004V の入出力波形において遅延はなかったが周期が 異なる様子が確認できた.

続いて、入力振幅ごとに分けた実測結果の平均値とシミュレーション結果を比較した表を表 4.8~4.10 に示す.表中の差は平均値とシミュレーション結果の絶対値を求めたものである.

			ш +	市町		山力電圧亚均				
7	、力振幅 0 004V		西刀	饭幅		山刀电庄平均				
	() 5 IACTER 0100 1 1	Voutn[V]	ゲイン[dB]	Voutp[V]	ゲイン[dB]	Voutn[V]	オフセット差[V]	Voutp[V]	オフセット差[V]	
	実測平均	0.09	21.23	0.09	20.91	1.03	0.13	0.98	0.08	
OTA1	シミュレーション結果	0.12	23.74	0.12	23.74	0.89	-0.01	0.89	-0.01	
	差	0.03	2.50	0.03	2.83	0.15	0.15	0.10	0.10	
	実測平均	0.14	25.03	0.13	24.15	1.06	0.16	0.90	0.00	
OTA2	シミュレーション結果	0.17	26.73	0.17	26.73	0.87	-0.03	0.87	-0.03	
	差	0.03	1.70	0.04	2.58	0.19	0.19	0.04	0.04	
	実測平均	0.49	35.71	0.50	36.00	0.93	0.03	0.85	-0.05	
OTA3	シミュレーション結果	0.57	37.05	0.57	37.05	0.90	0.00	0.90	0.00	
	差	0.08	1.35	0.06	1.05	0.02	0.02	0.06	0.06	
	実測平均	0.20	28.09			1.22	0.32			
OTA4	シミュレーション結果	0.57	37.05	0.57	37.05	0.90	0.00	0.90	0.00	
	差	0.37	8.96			0.31	0.31			
OTA5	実測平均	0.23	29.02			1.20	0.30			
	シミュレーション結果	0.57	37.11	0.57	37.11	0.91	0.01	0.90	0.00	
	差	0.35	8.09			0.30	0.30			

表 4.8:入力振幅 0.004V 時の実測平均とシミュレーションの比較

表 4.9:入力振幅 0.04V 時の実測平均とシミュレーションの比較

入力振幅 0.04V			出力	振幅		出力電圧平均				
		Voutn[V]	ゲイン[dB]	Voutp[V]	ゲイン[dB]	Voutn[V]	オフセット差[V]	Voutp[V]	オフセット差[V]	
	実測平均	0.58	17.27	0.56	16.96	1.01	0.11	0.98	0.08	
OTA1	シミュレーション結果	0.79	19.85	0.79	19.85	0.88	-0.02	0.88	-0.02	
	差	0.20	2.59	0.22	2.89	0.13	0.13	0.10	0.10	
	実測平均	0.71	18.99	0.65	18.17	1.02	0.12	0.96	0.06	
OTA2	シミュレーション結果	0.81	20.12	0.81	20.12	0.87	-0.03	0.87	-0.03	
	差	0.10	1.14	0.16	1.95	0.15	0.15	0.08	0.08	
	実測平均	0.79	19.85	0.78	19.76	0.98	0.08	0.98	0.08	
OTA3	シミュレーション結果	0.93	21.27	0.93	21.27	0.91	0.01	0.91	0.01	
	差	0.14	1.42	0.15	1.51	0.07	0.07	0.06	0.06	
	実測平均	0.79	19.87	0.77	19.71	1.00	0.10	0.96	0.06	
OTA4	シミュレーション結果	0.93	21.27	0.93	21.27	0.91	0.01	0.91	0.01	
	差	0.14	1.40	0.15	1.56	0.09	0.09	0.04	0.04	
OTA5	実測平均	0.79	19.91	0.77	19.69	0.99	0.09	0.96	0.06	
	シミュレーション結果	0.93	21.28	0.93	21.28	0.92	0.02	0.91	0.01	
	差	0.13	1.36	0.15	1.59	0.08	0.08	0.05	0.05	

入力振幅 0.4V			出力	振幅		出力電圧平均				
		Voutn[V]	ゲイン[dB]	Voutp[V]	ゲイン[dB]	Voutn[V]	オフセット差[V]	Voutp[V]	オフセット差[V]	
	実測平均	1.28	4.10	1.25	3.85	1.00	0.10	1.00	0.10	
OTA1	シミュレーション結果	1.43	5.05	1.43	5.05	0.88	-0.02	0.88	-0.02	
	差	0.15	0.96	0.19	1.20	0.11	0.11	0.11	0.11	
OTA2	実測平均	1.24	3.82	1.23	3.76	1.01	0.11	1.00	0.10	
	シミュレーション結果	1.39	4.77	1.39	4.77	0.90	0.00	0.90	0.00	
	差	0.14	0.95	0.15	1.00	0.11	0.11	0.11	0.11	
	実測平均	1.29	4.12	1.27	4.04	0.98	0.08	0.99	0.09	
OTA3	シミュレーション結果	1.44	5.10	1.44	5.10	0.92	0.02	0.92	0.02	
	差	0.15	0.98	0.17	1.06	0.06	0.06	0.07	0.07	
	実測平均	1.28	4.07	1.25	3.90	0.99	0.09	0.99	0.09	
OTA4	シミュレーション結果	1.44	5.10	1.44	5.10	0.92	0.02	0.92	0.02	
	差	0.16	1.03	0.19	1.20	0.07	0.07	0.07	0.07	
OTA5	実測平均	1.29	4.12	1.27	3.99	0.99	0.09	0.99	0.09	
	シミュレーション結果	1.44	5.10	1.44	5.10	0.92	0.02	0.92	0.02	
	差	0.15	0.98	0.17	1.12	0.07	0.07	0.07	0.07	

表 4.10:入力振幅 0.4V 時の実測平均とシミュレーションの比較

表 4.8~4.10 から分かるように、いずれの入力振幅においても実測時の出力振幅は シミュレーションの出力振幅よりも低く出力されることが分かった.入力振幅 0.4V ではその差は約 0.15V となり、ゲイン差は 1dB 程生じていた.

表 4.9 と表 4.10 の OTA3 と OTA4 のシミュレーション結果を比べると、すべての数 値が一致していた.しかし、実測平均との差は異なっていた.

オフセットに関しては、いずれの入力振幅においても実測時のほうが高く生じており、入力振幅 0.04V のときは回路によっては 0.3V オフセットが生じることもあったが、0.04V や 0.4V の入力振幅ではいずれの回路でも 0.1V 程度にとどまった.

4.3 結果に対する考察

OTA3 と OTA4 の比較結果について考察する. INV7,8 はシミュレーション結果が 同じことから回路の特性には影響を及ぼさないが,回路の安定化に影響を与えた素子 であると考えられる.これにより回路規模は大きいほうが安定すると言える.このこ とは,OTA4 と 5 の比較からも考察できる.入力振幅 0.004V の OTA 4 と 5 ではゲー ト幅が 0.02µm 異なるだけで測定可能なチップ数が異なっていた.0.004V 以下の入力 振幅では,これほど小さいゲート幅の違いで出力に影響を及ぼしてしまうことが分か る.よって,0.004V の入力振幅では出力が不安定になることが想定されるため,回路 の入力振幅として適さないと考える.

入力振幅 0.04V ではいずれの OTA のゲインも 20±3dB 以内の変化にとどまり,入 力振幅 0.4V ではいずれの OTA のゲインも 4±0.5dB 以内の変化にとどまったこと, オフセット電圧が 0.04V や 0.4V の入力振幅ではいずれの回路でも 0.1V 程度にとどま ったことについて考察する.入力振幅が大きくなるとチップ作成時の不確定要素の影 響が少なくなったり,出力の桁が大きくなったりして,誤差が生じにくくなると考え る.ゲインの理想値を求めることはできなかったが,設計値が大きく影響を及ぼすの は入力振幅 0.004V のときであり,0.04V 以上の入力振幅では出力は安定すると考えて よい.現実的な設計においても 0.004V 以下の入力振幅の考慮は不要であることから, 理想値を求める設計は不必要であると考える.これらから,最適な入力振幅は 0.04V 以上で設定し,突き詰めた設計は不要であると言える.設計が許容される範囲として, INV1,2 は OTA1 と OTA2 の違いから±50µm 程度,OTA3~6 は全 OTA の違いから± 10µm 程度が想定される.本研究では計算の容易さからチャネル長 L を 0.5µm に固定 したが,今後の設計ではより小さく設計することも可能であると考える.

OTA1 とその他でダミーパターン用回路の有無があるものの入力振幅 0.04V ではいずれの OTA のゲインも 20±3dB 以内の変化にとどまり,入力振幅 0.4V ではいずれの OTA のゲインも4±0.5dB 以内の変化にとどまったことについて考察する.これより, 先行研究において設計されたダミーパターンは不要であると考える.先行研究におい て利得が上昇したことが述べられていた[10]が, 誤差の範囲内であったことが想定される.

オフセットと平均電圧との差について考察する.シミュレーションではオフセット のずれはほぼ生じなかったが、実測では OTA 回路やチップによらず、おおむね 0.1V のオフセットがかかって出力されていた.これは、測定時にチップにかける必要のあ る 1.8V の影響や IC ソケット間の電圧の影響だと考える.どの種類においても生じて いたことから、シミュレーション段階で 0.1V されることを想定した ΔΣ 変調回路の 設計が必要であると考える.

第5章 ΔΣ 変調回路と Nauta OTA

本章では, ΔΣ 変調回路の構成要素, 動作原理, 回路の利点等について説明を行い, 先行研究で開発された回路の問題点と改善点の提案を行う.

5.1 ΔΣ 変調回路の動作原理

ΔΣ変調回路の基本構成を図 5.1 に示す.



図 5.1: ΔΣ 変調回路のシステムブロック図

図 5.1 に示したように、 $\Delta\Sigma$ 変調回路は積分器、量子化器、DAC(DA コンバータ)、 そして加算器の 4 要素から成り立つ負帰還ループである. $\Delta\Sigma$ 変調回路には連続時間 型、離散時間型、バンドパス型等様々な種類が存在するが、基本的にこれらの要素が 組み込まれ構成されている. この回路において、Nauta OTA は積分器の部分に図 5.2 のような形で抵抗とキャパシタと組み合わせて使用される. このように組むことで信 号の増幅とローパスフィルタの役割が生まれ、高周波に乗った雑音を低減することが できる. $\Delta\Sigma$ 変調回路にはノイズシェーピング効果があるため[5]、ローパスフィルタ は大きな役割を持つ.



図 5.2:積分器における Nauta OTA

5.2 先行研究で開発された ΔΣ 変調回路に対する考察

先行研究[10]で開発された ΔΣ 変調回路の回路図を図 5.3 に, 各パラメータの一覧表 を表 5.1 に示す.



図 5.3: 先行研究の ΔΣ 変調回路

項目	数值
C[pF]	8
R[kΩ]	100
入力範囲[V]	0.6~1.2
信号带域[kHz]	22
$V_{ref0}[V]$	1.35
$V_{ref1}[V]$	0.45
V_{SS} [V] (GND)	0
<i>V_{DD}</i> [V] (電源)	1.8
サンプリング周波数[MHz]	11.26
理想S/N比[dB]	69
実測S/N比[dB]	60.5

表 5.1: 先行研究で設計されたパラメータと実測結果

表 5.1 の理想値と実測値の比較から, 先行研究ではシミュレーション値に対し 10dB 程度実測の S/N 比は低かった.本研究ではこの原因が Nauta OTA にあると考え研究を 進めてきた.しかし, Nauta OTA は 0.4V の入力電圧ではどのような Nauta OTA であ っても差が生じないことが分かった.よって,既存回路の課題としては,入力範囲の 想定を見直すべきであると結論付ける.表 5.1 に示したように,先行研究における回 路の入力電圧範囲は 0.6V~1.2V となっていたが,もう一桁低い 0.06V~1.2V,もしく は 0.06V~0.12V の入力範囲を想定した設計が必要ではないかと考える.また,研究 結果から Nauta OTA の出力はシミュレーションよりも低く出力されるため,その点を 考慮した後段の設計が必要と考える.

第6章 結論

本研究では $\Delta\Sigma$ 変調回路のノイズ低減を目指して,積分器となる Nauta OTA に着目 し、実験条件の見直しやゲート幅やチャネル長の理想値、今後の $\Delta\Sigma$ 変調回路に必要 なことについて研究を行った.

始めに,最適な入力振幅について述べる.先行研究での条件である入力振幅 0.3V は、本研究の結果により約 10 分の 1 の入力である 0.04V を入力しても出力が安定し た上にゲインも上昇したことから、今後の ΔΣ 変調回路には従来の実験条件から 1 桁 下げた条件を適用する必要があると言える.従来から 2 桁下げた 0.004V の入力では ゲインは上昇するが, OTA4, OTA5 の結果のように出力が安定しない点を考慮すると, 入力振幅として最適ではないと考えられる.

次に、ゲート幅 W とチャネル長 L の設計値について述べる. 理想的な設計値を導 くことはできなかったが、0.04V 以上の入力振幅では出力が安定したことから、厳密 な制御が必要となるのは入力振幅が 0.004V を下回ったときであることが分かる. 0.4V 程度の入力振幅であれば INV1、2 のゲート幅は±100μm は許容できると考えて よい. また、INV3~6 の設計も 20μm 程度の設計で問題ないと言える. これらから、 消費電力や回路規模が許容できれば、厳密な制御は必要ないことが得られた.

以上のことから、今後の $\Delta\Sigma$ 変調回路についての結論を述べる. Nauta OTA の厳密 な制御は必要ないことが得られたが、チップ生成時に決定される不確定要素も多いた め、より安定性や確実性を高めるために、Nauta OTA 以外の回路の検討を進めても良 いと考える. Nauta OTA を用いた $\Delta\Sigma$ 変調回路を作製する際には、従来回路から桁を 1 つ下げた 0.06V~1.2V の動作範囲を想定し、0.1V のオフセットが乗る前提で量子化 器や DAC の調整を行うことで、回路に生じる雑音が減り、S/N 比の向上に繋がると 考える.

謝辞

本研究を遂行するにあたり、多忙にもかかわらず数々のご指導・助言を賜りました 高知工科大学システム工学群電子・光工学教室橘昌良教授に心から深く感謝いたしま す.そして本回路の開発や実験にあたり、高知工科大学システム工学群回路工学研究 室の皆様には、日頃から様々な助言いただき、ありがとうございました.また、副査 をご担当いただきました集積システム研究室の密山幸男教授と Soft Intelligent System On a Chip 研究室の星野孝総准教授にも深く感謝申し上げます.感染症の影響により 生活様式も大幅に変化した中で、多くの方々に支えられ本論文を執筆することができ ました.最後になりましたが、大学から大学院まで6年間という長い期間を金銭面、 精神面等広く支えてくれた家族に深く感謝いたします.

参考文献

- [1] 和保孝夫, 安田彰, ΔΣ型アナログ/デジタル変換器入門 第2版, 丸善出版株式 会社, 東京, 2019.
- [2] 和保孝夫, アナログ/デジタル変換入門―原理と回路実装―, 株式会社コロナ社, 東京, 2019.
- [3] Duc-Manh Tran, Duy-Hieu Bui, Xuan-Tu Tran, "A Low-Power CT Second-Order VCO-Based $\Delta\Sigma$ ADC for Audio Recording on Skywater 130-nm," IEEE Conference Proceedings, vol.2022, no.ATC, pp.110-115, Oct. 2022.
- [4] Bram Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies," IEEE Journal of Solid-State Circuits, vol.27, no.2, pp.142-153, Feb. 1992.
- [5] 岡崎泰士, "Nauta OTA を用いた ΔΣ 変調器の設計と評価, "高知工科大学 基盤工 学専攻 電子・光工学コース, 修士論文, 2018.
- [6] 上村大輔, "Nauta OTA を用いた二次 ΔΣ 変調器回路の設計と評価, "高知工科大学 基盤工学専攻 電子・光システム工学コース, 修士論文, 2021.
- [7] James Karki, 完全差動アンプ(Fully-Differential Amplifiers), Texas Instruments Incorporated, 2009.
- [8] 小森山恵士, 谷本洋, "CMOS インバータを用いた低電圧疑似全差動増幅器の設計, "電気学会電子回路研究会資料, vol.ECT-06, no.52, pp.1-6, 2006.
- [9] 林海軍,田邉朋之,傘昊,小林春夫,"インバータタイプG_m Cバンドパスフィル タの解析と設計,"電気学会論文誌 C, vol.129, no.8, pp.1483-1489, 2009.
- [10]岡崎泰士, "Nauta OTA を用いた 1 次 ΔΣ 変調器の設計と評価, "高知工科大学 シ ステム工学群 電子工学専攻 卒業研究報告書, 2016.

[11]浅田邦博, "集積回路設計論, "(編)電子情報通信学会, コロナ社, 東京, 2015.