

# バンドギャップ基準電圧回路を対象とした BIST 手法に関する研究

## Research on BIST Scheme for Band Gap Reference Circuit

125050 青木 聡太 (回路工学研究室)

(指導教員 橘 昌良 教授)

### 1. はじめに

近年 LSI (Large Scale Integration) の集積度増加に伴い, LSI テストコストが上昇傾向にあることが大きな課題となっている. その解決方法となるテスト容易化設計 (DFT: Design For Testability) の代表的な手法の 1 つが組み込み自己テスト (BIST: Built-In Self-Test) である. しかし, アナログ LSI を対象とした BIST では様々な課題が残っており, 実用化には至っていない. そこで本研究では, ミックスドシグナル LSI でよく用いられる電源電圧の一つである BGR (Band-Gap Reference) 回路をテスト対象回路 (CUT: Circuit Under Test) とし, BGR 回路内の MOSFET のカタストロフィック故障 (端子のオープン・ショートといった単純故障) の検出をおこなう BIST の設計を目的とした. [1]

### 2. バンドギャップ基準電圧回路

本研究で設計したテスト対象である BGR 回路を図 1 に示す. この BGR の 19 個の MOSFET における (a) GDS (Gate-Drain Short), (b) GSS (Gate-Source Short), (c) DSS (Drain-Source Short), (d) DO (Drain Open), (e) SO (Source Open), (f) GO (Gate Open) の 6 通りのカタストロフィック故障を BIST の故障検出対象とした.

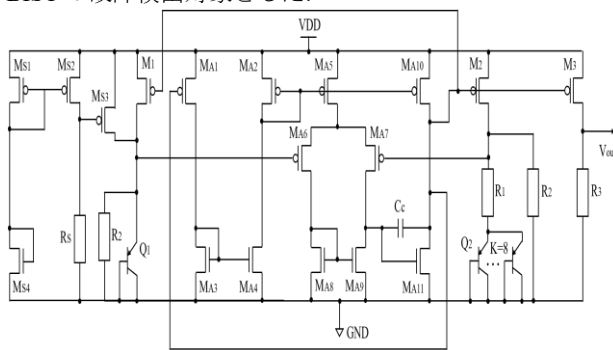


図 1 提案 BGR 回路

### 3. テスト応答解析器

本研究で設計したテスト応答解析器の回路構成を図 2 に示す. このテスト応答解析器は, BGR 回路から 3 種類のノード電圧  $V_A$ ,  $V_B$ ,  $V_{OUT}$  を, テスト応答解析器を構成する WC1, WC2, WC3 にそれぞれ入力する. それぞれの WC には, BGR 回路が正常な場合のノード電圧を基準とした入力電圧範囲が設定されている. この入力電圧範囲内のノード電圧値が入力されることで, それぞれの WC が High を出力し, 故障がない場合はテスト応答解析器の出力  $V_{PF}$  が Low, 故障ありの場合は High を出力するようになっている. 本研究では, 故障検出を行う入力電圧範囲を安定させるために, WC2 に改良を行った.

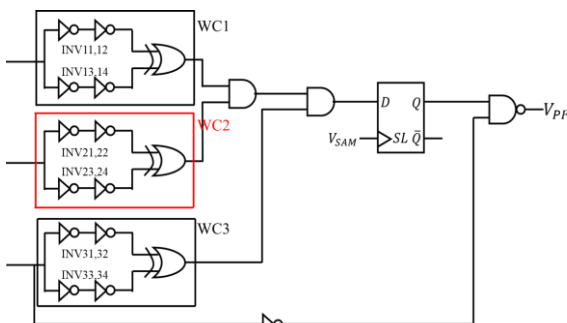


図 2 テスト応答解析器

### 4. 提案 BIST の実測評価

試作チップでは故障検出シミュレーションを行ったすべての故障を実装することは困難なため, テスト対象に故障を付加しない BGR 回路と 6 通りの故障を 1 つずつ付加した BGR 回路の計 7 通りを搭載した. 実装した故障は  $M_{A10}$  の GO,  $M_{A5}$  の DO,  $M_{S4}$  の SO,  $M_3$  の GDS,  $M_{A1}$  の GSS,  $M_2$  の DSS である.  $M_{A1}$  の GSS,  $M_2$  の DSS,  $M_{S4}$  の SO は, テスト応答解析器に入力される電圧全てが入力電圧範囲外を示す故障であり,  $M_{A5}$  の DO は電圧  $V_B$  のみがテスト応答解析器の入力電圧範囲外を示す故障, そして,  $M_{A10}$  の GO,  $M_3$  の GDS は  $V_{OUT}$  のみがテスト応答解析器の入力電圧範囲外を示すものであった. これらの故障は全てシミュレーションにおいてテスト応答解析器を用いることで故障の検出が可能であり, 各 WC の故障検出機能を確認できるため, 選択し実装をおこなった. その結果を表 1 に示す.

表 1 試作チップのテスト結果  $V_{PF}$

	テスト出力 $V_{PF}$	
	通常動作	テスト動作
故障なし	High × 7	LOW × 3
$M_3$ GDS	High × 7	High × 7
$M_{A1}$ GSS	High × 7	High × 7
$M_2$ DSS	High × 7	High × 7
$M_{A5}$ DO	High × 7	High × 7
$M_{S4}$ SO	High × 7	High × 7
$M_{A10}$ GO	High × 7	High × 7

本研究では, 試作チップの素子ばらつきや故障検出の安定性を確認するために, 無作為に選択した 7 チップにて同じ故障検出を行った. 本研究では故障を検出するテスト動作モードの際には応答解析器の出力  $V_{PF}$  が LOW を出力することになっている. しかし, 表を見ると, テスト対象に故障を付加していない回路の場合の出力  $V_{PF}$  が LOW を出力したのは 7 チップ中 3 チップであり, 残りの 4 チップは故障なしと正確に判断することが出来なかった. これは, 素子ばらつきの影響でテスト対象のノード電圧やテスト応答解析器の入力電圧範囲が変化してしまいノード電圧がテスト応答解析器の入力電圧範囲外になったことが原因として挙げられる.

### 5. まとめ

本研究では, 提案 BIST 回路の BGR 回路とテスト応答解析器を中心に設計し測定を行った. 結果は, 先行研究と比較し WC の入力電圧範囲を広げることや, BGR 回路のノード電圧制御に成功した. しかし, BGR 回路への電源電圧値の設定や素子ばらつきによる故障判別に間違いが起こるなど問題点も多く確認された. 今後は, 素子ばらつきの影響を抑えるレイアウトや実測方法の再検討, より実用的なものとするために温度特性などについても検討していく必要がある.

### 参考文献

[1] 猪岡 柚香, 橘 昌良, バンドギャップ基準電源回路を対象とした BIST 手法に関する研究, 高知工科大学工学部基盤工学専攻電子・光システム工学コース 修士論文, 2020