

高次 $\Delta\Sigma$ 変調回路に向けた Nauta OTA の設計

Designing Nauta OTA for the higher-order $\Delta\Sigma$ modulation circuit

1255051 小池 智哉 (回路工学研究室)
(指導教員 橘 昌良 教授)

1. はじめに

年々、大規模集積回路 LSI(Large Scale Integrated Circuit)の高速化と高集積化が進み、通信装置や電化製品の分野で広くデジタル処理が行われている。一方で物理的な世界はアナログ信号で動くため、デジタル信号処理装置とのインターフェースとなる ADC(アナログ・デジタルコンバータ)は必要不可欠である[1]。そのような背景の中で、本研究室ではデジタルオーディオ分野に対して高速性と安定性を併せ持った回路の作製を目指してきた。アプローチ方法は Nauta OTA[2]回路と $\Delta\Sigma$ 変調回路の組み合わせによる回路の作製[3]である。

本研究では実験条件の見直しと MOSFET の設計理想値の決定、そして $\Delta\Sigma$ 変調回路のための提案を行った。

2. Nauta OTA と先行研究の課題

Nauta OTA 回路は、図 1 に示すように 6 つのインバータで構成される 2 入力 2 出力の回路である。INV1, 2 が主に回路の増幅率を決定し、INV3~6 はフリップフロップ回路の動作と抵抗の分圧により出力を安定させる役割を担っている。

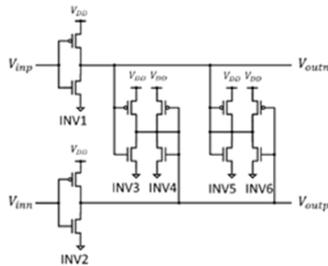


図 1: Nauta OTA 回路

先行研究[3]において、各 MOSFET のゲート幅 W とチャンネル長 L は表 1 のように設計されており、表 2 の条件で実験が行われていた。この実験から図 2 の波形が得られた。

表 1: 先行研究[3]における設計値

	$W(\mu\text{m})$	$L(\mu\text{m})$	W/L
PMOS(INV1,2)	52.2	0.36	145
PMOS(INV3,4,5,6)	17.28	0.36	48
NMOS(INV1,2,3,6)	11.88	0.36	33
NMOS(INV4,5)	14.04	0.36	39

表 2: 先行研究[3]における実験条件

電源 (V_{DD}) [V]	1.8
入力信号 (V_{inp}, V_{inn}) (正弦波)	振幅 [V] 0.1 周波数 [kHz] 22 オフセット [V] 0.9

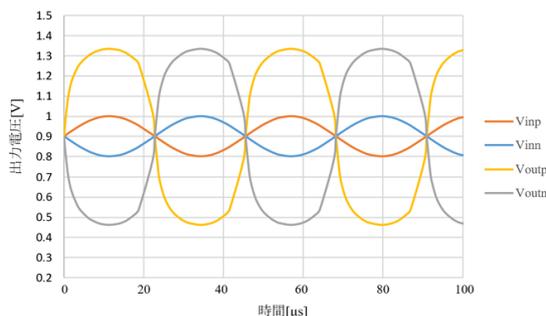


図 2: 先行研究[3]の入出力波形

先行研究[3]ではゲインが 10dB 程度であること、出力電圧に約 0.07V のオフセットがかかっていることが確認できた。

3. 本研究の変更点

先行研究の結果を受け、本研究では W/L 比、ダミーパターン、入力振幅の 3 点に着目し研究を進めた。条件を変えながら 4 種類の回路を設計し、先行研究の回路を含めた 5 種類の回路の比較により、最適な条件の決定を目指した。各回路 5 チップを測定し、平均値とシミュレーション値を比較した。各回路はゲート幅 $W \pm 100\mu\text{m}$ の範囲で変化させ、チャンネル長 L は $0.5\mu\text{m}$ で統一した。そして、入力振幅は 0.004V から 0.4V の範囲で 10 倍ずつ変化させ、測定を行った。

4. 実験結果

全 OTA の実測平均を示す。表 3 に各入力振幅における出力振幅とゲインを示す。

表 3: 入力振幅と出力振幅の関係

入力振幅 [V]		出力振幅			
		V_{outn} [V]	ゲイン [dB]	V_{outp} [V]	ゲイン [dB]
0.004	実測平均	0.23	26.42	0.24	26.38
	標準偏差	0.14	4.17	0.19	5.63
0.04	実測平均	0.73	19.18	0.71	18.84
	標準偏差	0.08	1.02	0.09	1.13
0.4	実測平均	1.27	4.05	1.25	3.91
	標準偏差	0.02	0.11	0.01	0.10

表 3, 4, 5 を比べると、入力振幅が小さい時ほど標準偏差が大きくなった。入力振幅 0.004V ではゲインは 40dB~20dB と大きく変化したが、 0.04V では 20dB、 0.4V では 4dB 程度と、いずれの回路においてもおおよそ一定の値となった。

出力波形においても各回路で大きな違いは見られなかった。図 3 に入力振幅 0.04V 時の入出力波形を示す。

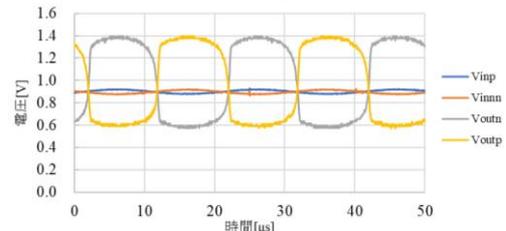


図 3: 入力振幅 0.04V 時の入出力波形

桁を 1 桁下げた入力でも飽和する様子は見られたが、先行研究と比較するとゲインは 10dB 程上昇した。オフセットについては、いかなる入力振幅においても 0.1V 程上昇した。

5. おわりに

本研究結果から、入力振幅は従来から 1 桁下げ、 0.04V の入力を考慮して $\Delta\Sigma$ 変調回路の設計を行うべきであると考えられる。また、オフセットの上昇は必ず起こるため、0.1V のずれを許容できる $\Delta\Sigma$ 変調回路を設計する必要がある。

参考文献

- [1] 和保孝夫, 安田彰, $\Delta\Sigma$ 型アナログ/デジタル変換器入門, 丸善株式会社, 東京, 2007.
- [2] B. Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies," IEEE Journal of Solid-State Circuits, Vol. 27, No. 2, pp. 142-145, Feb. 1992.
- [3] 岡崎泰士, "Nauta OTA を用いた 1 次 $\Delta\Sigma$ 変調器の設計と評価," 高知工科大学 システム工学群 電子工学専攻 卒業研究報告書, 2018.

謝辞

本研究は JSPS 科研費 JP21K11813 の助成を受けたものである。