

FPGA の論理スライス構造に適したセルフタイム型データ転送制御回路の実装法とそのタイミング検証法

1255102 尾ノ井 嶺卓 【 コンピュータ構成学研究室 】

Self-Timed Data-Transfer Control Circuit Implementation Suitable for FPGA Logic-Slice Structure and Its Timing Verification

1255102 Minetaka Onoi 【 Advanced Computer Engineering Lab. 】

1 はじめに

近年, IoT(Internet of Things) エッジ機器の高性能化・省電力化の要求が高まっている. セルフタイム型パイプライン STP(Self-Timed Pipeline) により実現されたデータ駆動型プロセッサ DDP(Data-Driven Processor) は, データの到着をトリガとして多重並列処理可能なため高性能で省電力な IoT 向きアーキテクチャとして有望である. また, FPGA(Field Programmable Gate Array) は柔軟に回路を再構成できるため, 応用に適した DDP の効果的な実装法が検討されている.

これまでに, STP を構成するセルフタイム型データ転送制御回路 (C 素子) に検証用ラッチを付加してタイミング情報を取得する検証法 [1] や各種 C 素子の遅延調整法 [2] が提案されている. しかし, FPGA 回路の配置・配線を設計ツールに任せていたため, データ転送性能の最適化や効果的なタイミング検証が困難であった.

よって本研究では Xilinx 社製 FPGA の論理スライス構造に着目し, それに適したセルフタイム型データ転送制御回路の実装法とそのタイミング検証法を検討した.

2 DDP の FPGA 実装時の課題

STP を構成する基本 C 素子は, 図 1 に示すように, 2 つの SR-latch, 5 入力 NAND, および, ハンドシェイクタイミング調整用遅延回路 D_x からなる. C 素子は, 隣接する C 素子との 4 相ハンドシェイク後, cp 信号をアサートし, その結果, DL (Data Latch) 内のデータを後段に転送する. STP のデータ転送性能は, ある C 素

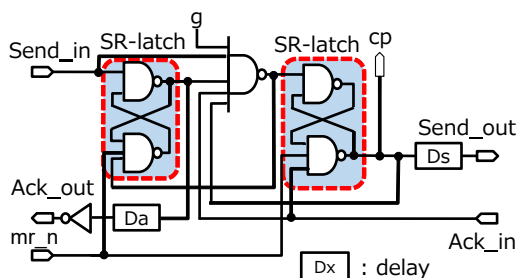


図 1 セルフタイム型データ転送制御回路 (C 素子)

子の cp 信号アサートから後段 C 素子の cp 信号アサートまでに要するデータ転送時間 (T_f) と, 後段 C 素子の cp 信号アサートから前段 C 素子が後続データを転送するために cp 信号をアサートするまでのデータ転送待機時間 (T_r) により決定される. よって, 正しいデータ転送を保証するために各 DL のセットアップ/ホールド制約を満たす, D_s と D_a として適切かつ最小限の遅延を付加する必要がある.

このためには, D_s と D_a に付加する遅延の増減に伴って, T_f や T_r の増減値が予測できて, STP のデータ転送性能の最適化やタイミング検証が容易なことが重要である. しかし, 商用 FPGA 回路設計ツールでは, 回路の合成や配置・配線が自動化され, 回路を修正する毎に, 回路中の注目したいパスが再配置・再配線されてその遅延時間の予測が困難である. よって, 本研究では, FPGA 回路設計ツールに STP 回路の配置を部分的に指示して, 設計者の意図した配置・配線をさせる方法を検討する.

3 論理スライス構造に適したデータ転送制御回路実装法

Xilinx 社製 zynq は, 6 入力 2 出力 LUT と FF/Latch とのペア 4 組から成る論理スライスが格子状に規則的に配置された基本回路構造を有している. さらに, 図 3 のように, スライス 2 個を含む CLB(Configurable Logic Block) に対して, SM(Switch Matrix) が隣接して配置され, CLB 内の局所配線を実現している. さらに, SM は他の CLB との大域配線である H-long や V-long へのブリッジ接続機能も有している.

本研究では, 基本 C 素子の実現法として, 検証用ラッチを付加してタイミング情報を取得する検証法 [1] を活用し, かつ, 最小限の LUT と FF/Latch で実現するために, 図 1 の SR-latch を疑似クロック付き SR-latch(PSR と SSR) に, 5 入力 NAND を LUT+Latch (NAND5) に置換した回路構成を採用した (図 2).

この回路構成を配置・配線する上では, LUT と FF/Latch のペアを有効活用して SM の利用率を削減すること, および, CLB 内の局所配線は遅延ばらつきが少ないことに

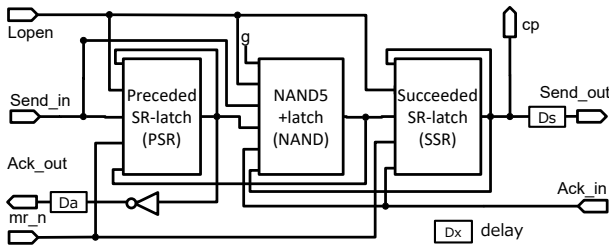


図2 LUT-Latch ペアを有効活用可能な C 素子回路

着目して、同一 CLB 内に収めることが望ましい。そのため、図3に示すように、図2の PSR, NAND5, SSR, Not を LUT と FF/latch のペアにそれぞれ配置する。各インスタンスの配置は、設計制約ファイル (.xdc) 内にスライス番号とスライス内 LUT 番号や FF 番号を定義することによって、設計ツールに指示する。

さらに、DDP の FPGA 実装のためには、複数 C 素子からなる環状 STP の配置法が必要になる。これについては、複数の C 素子を一定距離をおいて (横 H, 縦 V) = (2, N/2) に配置すると同時に、大域配線資源の混雑を回避するために、環状 STP の両側で大域配線 (V-long) にブリッジ接続可能なように配置する。これにより、過密配線による配線遅延ばらつきが抑えられ、結果的に T_f/T_r のばらつきが低減できる。

4 タイミング検証法

セルフタイム回路では、setup/hold 制約以外にも、複数 C 素子内でのグリッチ発生を回避するタイミング制約も検証する必要がある。そのために、グリッチ発生の起点からの回路パス上のタイミング情報の抽出が必要になる。このとき、前章に提案した配置法により、各 C 素子の配置を固定化できるため、遅延回路以外のタイミング情報の再取得回数を減らせる。また、隣接 C 素子間に挿入する遅延量を、遅延ブロック (1 スライスに遅延用 LUT を 4 つ挿入した回路) 単位に設定すると遅延

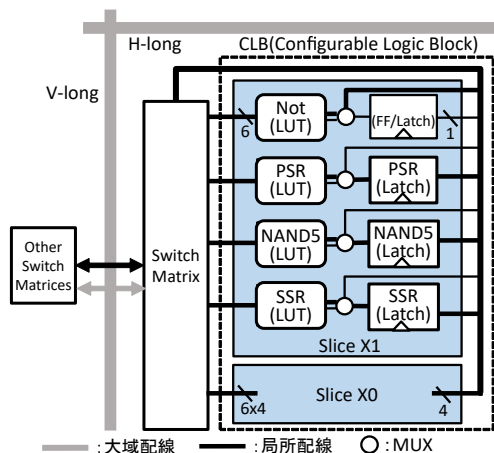


図3 論理スライス構造に適した C 素子の配置法

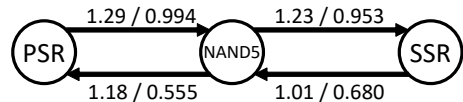


図4 C 素子の内部遅延 (auto[ns] / proposed[ns])

表1 8 段環状 STP の性能ばらつき [ns]

	auto. place		proposed place	
	T_f	T_r	T_f	T_r
Average	31.8	11.6	24.3	8.78
Max. Diff.	5.06	1.98	0.283	0.254

ばらつきが減るため、マクロな遅延調整が容易になる。

5 評価・まとめ

提案回路による使用スライス数削減効果を評価するため、従来回路と提案回路の使用 LUT/Latch 数および使用スライス数を比較した。その結果、従来回路が (LUT 数, Latch 数, スライス数) = (6, 5, 2), 提案回路が = (4, 3, 1) となり、提案回路は使用スライス数削減効果があることを確認した。

また、提案配置による SM 利用率削減効果を評価するため、提案回路の合成後、配置を指定しない場合 (auto) と提案配置 (Proposed) の回路内ラッチ間遅延時間の評価を行った。結果、図4に示すように C 素子内の全ラッチ間遅延時間がペアの有効活用により 20%~50% 短縮できた。

さらに、提案環状 STP 配置の T_f/T_r のばらつき低減効果を評価するため、提案回路を使用した環状 8 ステージ STP に遅延ブロックを付加し、従来配置と提案配置の各 T_f/T_r の平均値と平均値からの最大差 T_f/T_r を表1に示す。表より、従来配置と比較して平均からの最大時間差が減少しており、提案配置には T_f/T_r ばらつき低減効果があることを確認した。

提案手法を適用した DDP に対してタイミング検証を実施した結果、全てのパイプラインステージのセットアップ/ホールド等の制約に対して適切な遅延を付加して制約条件を満たしていることが確認できた。

今後の課題として、DDP 設計時の検証過程を仔細に分析して、検証コストの削減効果を定量的に評価することが残されている。

参考文献

- [1] 長野寛司, “FPGA を対象としたデータ駆動型プロセッサの設計自動化フローの検討,” 高知工科大学修士学位論文, Feb. 2021.
- [2] 井上聡, “データ駆動型プロセッサの FPGA 向き回路最適化手法の検討〜データ転送制御回路に着目した最適化〜,” 高知工科大学修士学位論文, Feb. 2022.