

2 段構成オペアンプにおけるオフセット調整回路の検討

1240145 松浦 僚也 (回路工学研究室)
(指導教員 橘 昌良 教授)

1. はじめに

近年の大規模集積回路(LSI:Large-Scale-Integration)の微細化、高集積化により設計通りに動作しない素子のばらつきがアナログ回路の分野において問題となっている。本研究ではこの素子ばらつきによるオフセット電圧がオペアンプにおいて深刻な問題となることに注目して、オペアンプの回路に調整を行い、オペアンプのオフセット電圧を抑制することが可能な回路の設計を行った。オペアンプの設計は Rhom0.18 μ m テクノロジで行った。

2. オペアンプの設計

本研究では、2 段構成オペアンプの入力段である差動増幅回路のカレントミラーの並列数と、出力段であるソース接地増幅回路の並列数をスイッチにより変更することで、出力 DC オフセット電圧を変更し、オフセット電圧の影響を打ち消す手法で回路の設計を行った。設計したオフセット調整機能を付けたオペアンプを図 1 に示す。

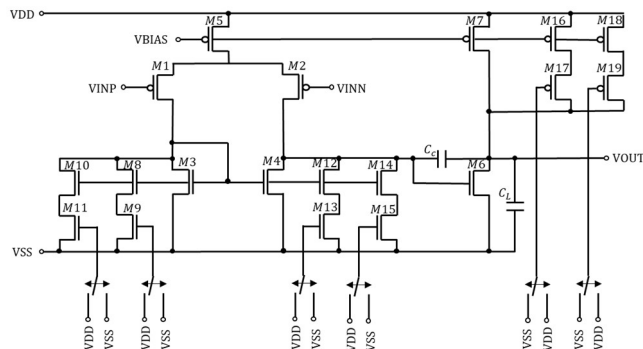


図 1 オフセット調整機能を付けたオペアンプの構成

9 月に設計を行い試作した調整機能を付けていない 2 段構成オペアンプ[1]のオフセット電圧の実測結果を表 1 に示す。オフセット調整機能を付けていない 2 段構成オペアンプのオフセットはこの実測結果より 5~10[mV]ほど発生することがわかったため、-10~10[mV]のオフセットを抑制可能なパラメータの設定を行った。また、入力段と出力段のそれぞれの変更点において MOS のパラメータによる出力電圧の DC オフセット電圧の変化をシミュレーションで確認し、 ± 10 、 ± 7 [mV]のオフセットに対しては入力段で調整を行い、1、2[mV]のオフセットに対しては出力段で調整を行う。その他のオフセットに対しては入力段、出力段両側で調整を行った。

表 1 試作チップのオフセット電圧

オフセット[mV]			
chip1	9.654	chip11	5.801
chip2	8.690	chip12	7.912
chip3	6.913	chip13	9.102
chip4	9.263	chip14	8.422
chip5	8.057	chip15	8.163
chip6	10.293	chip16	9.449
chip7	9.976	chip17	1.628
chip8	7.405	chip18	10.290
chip9	6.914	chip19	7.661
chip10	8.527	chip20	10.288

3. 設計した回路の評価

-10~10[mV]のオフセット電圧を 1[mV]毎にかけ、そのオフセット電圧の影響を打ち消したときの出力波形を図 3.1 に示す。ほとんどのオフセット電圧には対応しており、オフセットをかけなかったときと比較して 0.3[V]程度の誤差で収まっている。しかし、4[mV]と-6[mV]のオフセットを入力したときは出力波形の誤差が大きい。これはソース接地増幅回路の追加したトランジスタを同時に接続したときに現れており、出力段の電流源は並列数を増やしたときのチャンネル幅 W の誤差が大きいことがわかる。

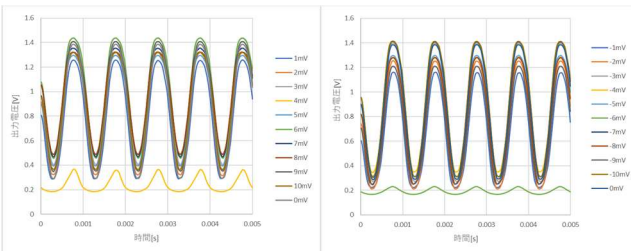


図 2 オフセット 1~10mV

図 3 オフセット-1~10mV

4. 考察

オフセット電圧調整の精度について考察する。今回用いた手法では-10~10[mV]のオフセット電圧を 1[mV]毎に入力し、調整を行っている。しかし、今回設計したオペアンプの利得は非常に大きいため、 μ mの単位のオフセットであっても出力に大きな影響を与えられられる。そのためより精密なオフセット電圧に対応するには今回追加した並列数よりも多くの並列数にしなければならない、しかし、並列数を増やした場合、同時に ON にした際の誤差電圧が大きくなってしまいうため、高利得のオペアンプに対して今回用いた手法を実装することは困難であると考えられる。

5. 結論

本研究で用いた手法では、低利得のオペアンプにおいては出力段の並列数を変更する手法はそれほど多くない並列数で実装することができると考えられるが。高利得のオペアンプにおいてはオフセット電圧の出力への影響は大きく、高精度かつ広範囲のオフセット電圧を調整することは多くの追加の MOS が必要となるため、困難であるとする。今後の課題として、今回のように離散的に出力を変更する手法ではなく、可変抵抗などで連続的に回路パラメータを変更する手法の検討を行う。

参考文献

[1] 谷口研二, CMOS アナログ回路入門, CQ 出版社, 2003